

Redes MOBILE MOS-NDR operando con reloj de una fase

Juan Núñez, María J. Avedillo, and José M. Quintana

Instituto de Microelectrónica de Sevilla-Centro Nacional de Microelectrónica
Consejo Superior de Investigaciones Científicas (IMSE-CNM-CSIC), Univ. de Sevilla (US)
jnunez{avedillo, josem}@imse-cnm.csic.es

Abstract— La existencia de dispositivos con una característica I - V que exhibe una resistencia diferencial negativa (*Negative Differential Resistance*, NDR) resulta atractiva desde el punto de vista del diseño de circuitos, como ha sido demostrado por los circuitos que usan diodos basados en el efecto túnel resonante (*Resonant Tunneling Diodes*, RTDs). Ideas procedentes de diseños con RTDs pueden exportarse a un entorno “todo CMOS” en el que la característica NDR se obtiene mediante transistores (MOS-NDR). En este artículo se proponen estructuras MOS-NDR para realizar puertas lógicas (*Threshold Gates*, TGs) que operan según el principio de operación MOBILE (*MONostable to BInstable Logic Element*). Además, se demuestra que estas puertas pueden interconectarse para formar redes que operan en modo *pipeline* usando un esquema de reloj de una fase.

I. INTRODUCCIÓN

Es bien conocido que se pueden obtener ventajas en área, consumo y velocidad si se incorporan dispositivos con característica NDR al diseño de circuitos. Los RTDs son dispositivos que exhiben una característica NDR habiéndose reportado muchos circuitos, para un buen número de aplicaciones (memoria, lógica, ...), y diferentes objetivos de diseño (alta velocidad, bajo consumo) que sacan partido de dicha característica. En particular, ésta puede usarse en diseño lógico para incrementar significativamente la funcionalidad implementada por una puerta simple (en comparación con tecnologías MOS y bipolares) [1]. Adicionalmente, estas puertas pueden operar en modo *pipeline*, de forma que cada nivel de puertas es una etapa de *pipeline* (*nanopipeline*), permitiendo, así, un *through-output* muy alto [1]. Así, se han fabricado un buen número de TGs basadas en RTDs, integrados monolíticamente con dispositivos de tres terminales, que han demostrado una alta velocidad y robustez de operación [2].

La mayoría de los circuitos lógicos basados en RTDs (NDRs) operan según el principio MOBILE. El MOBILE [3] es una puerta controlada por intensidad disparada por flanco de subida que consiste en dos dispositivos RTD (el *driver* y el *load*) conectados en serie y una tensión, V_{CK} , que conmuta entre dos valores fijos. Cuando V_{CK} toma un valor bajo, ambos dispositivos están en un estado *on* (estado de baja resistencia) y el circuito es monoestable. Si V_{CK} se incrementa a un valor apropiado, se asegura que sólo conmuta el dispositivo con menor intensidad de pico, desde el estado *on* al *off* (el de resistencia alta). La funcionalidad de una puerta tipo MOBILE se logra controlando el pico del RTD, para lo que se añaden transistores en serie con RTDs, que se colocan en paralelo con el RTD cuyo pico se pretende controlar. La estructuras MOBILE exhiben la propiedad de *self-latching*, lo que significa que evalúan (con el flanco del reloj), la salida retiene su valor aunque cambie la entrada. Esto permite que operen en modo *pipeline* con un esquema multifase de reloj.

Las ideas de circuito usadas en diseños con RTDs pueden exportarse a un entorno “todo CMOS” si se usan circuitos de transistores (circuitos MOS-NDR) para generar la característica NDR [4]-[8].

La contribución de este artículo es doble puesto que, por un lado, introduce un nuevo dispositivo MOS-NDR programable, cuyo pico es controlable, lo que permite evitar el uso de ramas de entrada para la realización de puertas umbral. Por otro, demostramos que un esquema de reloj de una fase permite la operación en cascada de una red de dichas puertas. La organización del artículo es la siguiente: la Sección II describe la estructura MOS-NDR propuesta. La siguiente sección aborda el diseño de puertas mayoritarias usando este dispositivo. La Sección IV presenta un dispositivo MOS-NDR disparado por flanco negativo que se utiliza en el diseño de redes que operan con un reloj de una fase (Sección V). En la Sección VI se describen las conclusiones del trabajo.

Este trabajo ha sido realizado gracias al Proyecto TEC2007-67245/MIC financiado por el Gobierno de España y al Proyecto de Excelencia P07-TIC-02961 financiado por la Junta de Andalucía.

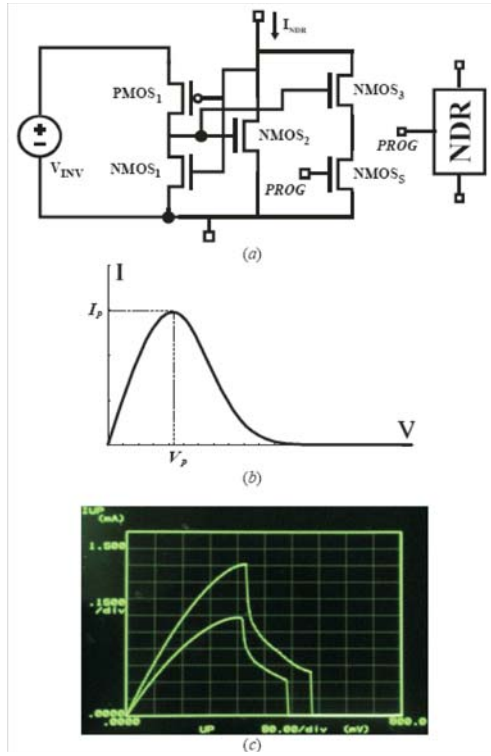


Figura 1: (a) Dispositivo MOS-NDR y símbolo usado. (b) Característica $I-V$. (c) Característica $I-V$ medida.

II. DISPOSITIVO PROGRAMABLE MOS-NDR

La Figura 1a muestra el dispositivo programable MOS-NDR disparado por flanco de subida, que está basado en la estructura del descrito en [5] que no es programable, y la Figura 1b muestra su característica $I-V$. Las regiones NDR y PDR se obtienen mediante el transistor NMOS₂ cuya v_{gs} queda modulada por la tensión de salida del inversor CMOS formado por NMOS₁ y PMOS₁. La tensión (V_p) y la intensidad de pico (I_p) en la Figura 1b se determinan fijando el tamaño de NMOS₂ (I_p incrementa con su ancho). La posición de V_p depende de la relación entre los anchos de NMOS₁ y PMOS₁ suponiendo que todos los transistores tengan la misma longitud de canal (V_p aumenta al disminuir W_{NMOS1}/W_{NMOS2}).

La intensidad de pico también puede modificarse mediante NMOS₃ y NMOS₅. Éste último opera como un conmutador controlado por la tensión V_s aplicada al terminal PROG. Si esta tensión es lo suficientemente alta como para habilitar a NMOS₅, I_p se incrementará. Se han propuesto dispositivos que modifican I_p cambiando la tensión V_{INV} [6], pero no permiten implementar puertas conectadas en serie. La Figura 1c muestra la característica $I-V$ de un MOS-NDR diseñado y fabrica-

do en un proceso comercial CMOS de $0.13\mu\text{m}$, medida por un analizador de parámetros HP-4145A. La figura muestra las curvas para $V_s = 0$ y $V_s = 1$.

III. DISEÑO DE PUERTAS MAYORITARIAS MOS-NDR.

El principio de operación MOBILE puede extenderse fácilmente para implementar puertas umbral (TGs) [1], [2]. De igual forma, las TGs pueden construirse usando el dispositivo MOS-NDR propuesto.

Una TG se define como una puerta lógica con n variables de entrada binarias $\{x_1, \dots, x_n\}$ y una salida y , también binaria, para la que existe un conjunto de $(n+1)$ números reales: el umbral T y los pesos w_i , tal que la relación entrada-salida es:

$$f(x_1, \dots, x_n) = \begin{cases} 1 & \text{iff } \sum_{i=1}^n w_i x_i \geq T \\ 0 & \text{iff } \sum_{i=1}^n w_i x_i < T \end{cases} \quad (1)$$

Los bloques básicos para el diseño lógico de circuitos MOS-NDR son las puertas umbral, en vez de las puertas booleanas convencionales (AND, OR, NAND, NOR), dado que las primeras pueden implementarse de forma tan eficiente (prestaciones) como las segundas y, además, pueden realizar funciones más complejas.

Una puerta mayoritaria invertida de n entradas (n impar) es una puerta umbral que puede escribirse como

$$NMAJ_n(x_1, \dots, x_n) = \begin{cases} 1 & \text{iff } \sum_{i=1}^n x_i < \left\lceil \frac{n}{2} \right\rceil \\ 0 & \text{iff } \sum_{i=1}^n x_i \geq \left\lceil \frac{n}{2} \right\rceil \end{cases} \quad (2)$$

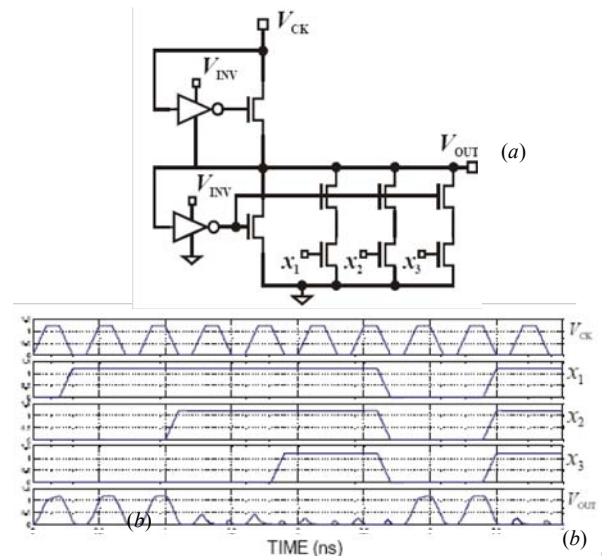


Figura 2: Puerta mayoritaria $NMAJ_3$ (a) Realización MOS-NDR disparada por flanco positivo (PET). (b) Simulación.

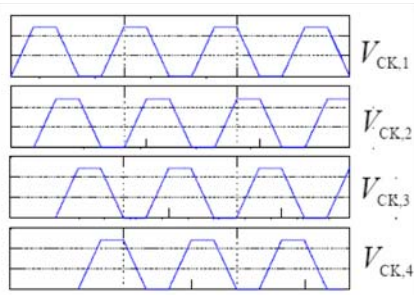


Figura 3: Esquema de reloj de cuatro fases solapadas.

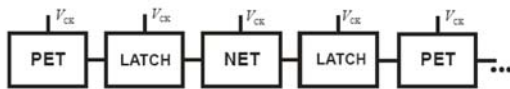
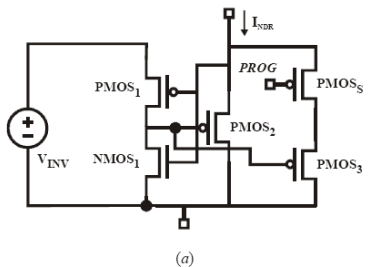
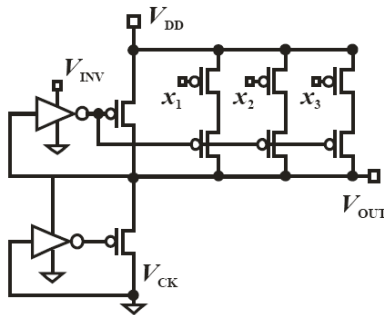


Figura 4: Arquitectura para una red con reloj de una fase.



(a)



(b)

Figura 5: (a) Dispositivo MOS-NDR disparado por flanco negativo (NET). (b) Realización de una NMAJ₃ NET.

La Figura 2a muestra el diagrama de circuito de una puerta NMAJ₃ MOS-NDR. Podemos considerar que la estructura está formada por la conexión en serie de dos dispositivos NDR. La intensidad de pico de uno de ellos queda determinada por la entrada aplicada. La relación entre las intensidades de pico define la salida. La operación de esta puerta se muestra en la Figura 2b, donde se observa que cuando dos o tres entradas están en un valor alto (bajo), la salida es un valor bajo (alto). La salida vuelve al nivel bajo con el flanco de bajada de la señal de reloj.

IV. DISPOSITIVO MOS-NDR DISPARADO POR FLANCO NEGATIVO

Las puertas MOBILE conectadas en cascada operan en modo *pipeline* usando un reloj de cuatro fases como el que se muestra en la Figura 3. Se necesita un esquema multifase de reloj dado el comportamiento “con retorno” de las puertas MOBILE. Obsérvese que la segunda etapa ($V_{CK,2}$) evalúa mientras la primera ($V_{CK,1}$) está en fase de mantenimiento. Para tres o más niveles de puertas se precisan cuatro fases de reloj. Es decir, en estos circuitos se necesitan distribuir cuatro señales de reloj, con ligaduras sobre el *skew* entre dos unos consecutivos que pueden llegar a ser muy estrictas.

Una solución para mejorar la robustez de las redes MOBILE es el uso de un esquema más simple de reloj. Se ha demostrado que una red de puertas que operan según el principio de operación MOBILE pueden utilizar un esquema de reloj de una fase [9]. Para ello, se requiere alternar puertas disparadas por flanco positivo (PET) y negativo (NET), así como introducir *latches* para obviar el comportamiento de retorno de las puertas MOBILE, como se muestra en la Figura 4. Esta solución puede adoptarse fácilmente en circuitos basados en RTDs fijando en forma adecuada el reloj y la tensión de polarización [9]. En el caso de circuitos MOS-NDR, resulta necesario modificar la estructura para obtener una operación MOBILE disparada por flanco negativo (NET).

La Figura 5a muestra el diagrama de un dispositivo MOS-NDR adecuado para una operación NET. Los transistores NMOS₂, NMOS₃, NMOS₅ son ahora transistores PMOS. La implementación de una puerta NMAJ_n basada en este dispositivo MOS-NDR NET es similar a la correspondiente PET. La Figura 5b muestra una NMAJ₃ con estructura MOS-NDR NET, donde puede observarse que la programabilidad (y esto es válido para cualquier estructura así implementada) se obtiene en el NDR de carga.

V. REDES MOS-NDR CON RELOJ DE UNA FASE

La arquitectura para una red de puertas MOS-NDR operando con un reloj de una fase está basada en la conexión alternada de puertas PET y NET, y de *latches* entre ellas, como se muestra en la Figura 4. El circuito sólo precisa una señal de reloj. La operación de la arquitectura se muestra mediante la conexión de cuatro puertas NMAJ₃, como se muestra en la Figura 6a. Las puertas NMAJ₁ y NMAJ₃ se disparan por flanco negativo, mientras que NMAJ₂ y NMAJ₄ lo son por flanco positivo.

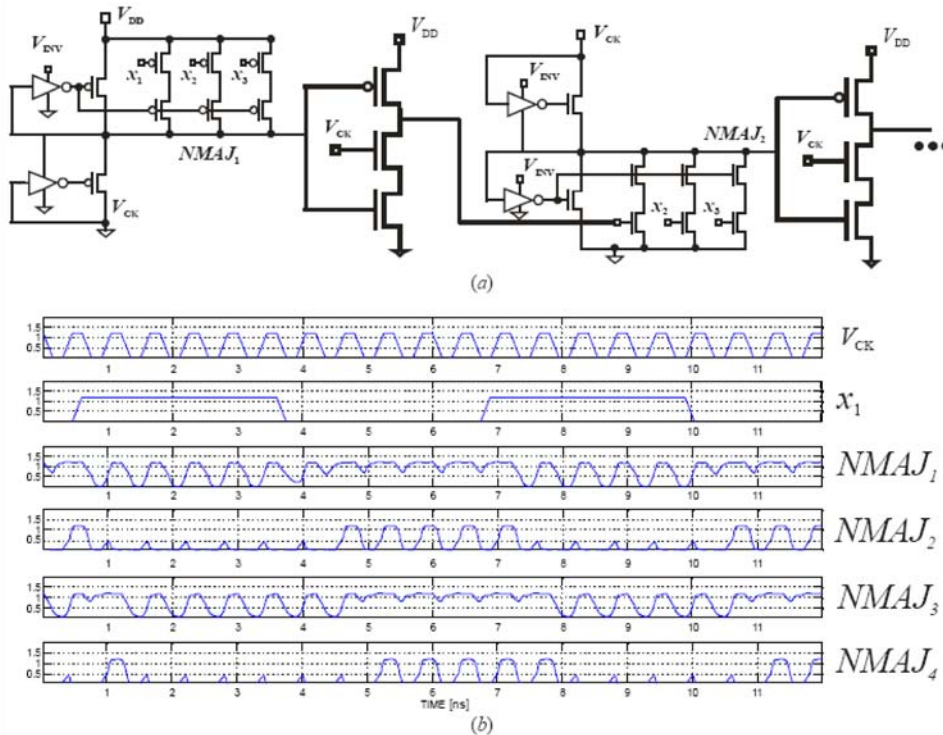


Figura 6: (a) Single phase connection of four inverted majority gates. (b) Simulation results

Para validar esta topología hemos realizado un experimento en el que las señales x_2 y x_3 son constantes e iguales a “0” y a “1” lógicos, respectivamente, en tanto que la entrada a $NMAJ_1$, x_1 , conmuta entre “0” y “1”. La Figura 6b muestra los resultados de simulación para un proceso CMOS estándar de $0.13\mu\text{m}$. La tensión de polarización, V_{DD} , es 1.2V, y las tensiones asociadas a los valores lógicos, 1.2V (“1” lógico) y 0V (“0” lógico). Nótese que para $NMAJ_1$ y $NMAJ_3$, el nivel de *reset* es el valor máximo de V_{CK} , mientras que para $NMAJ_2$ y $NMAJ_4$, es el mínimo de V_{CK} .

VI. CONCLUSIONES

Se ha presentado una nueva realización de puertas umbral basada en un dispositivo MOS-NDR que opera según el principio MOBILE. Adicionalmente se ha propuesto un esquema de reloj de una fase para operar redes de puertas MOS-NDR que permite mejorar la robustez de dichas redes

Referencias

[1] P. Mazumder, *et al.*, “Digital circuit applications of resonant tunneling devices”, *Proc. IEEE*, pp. 664-686, April 1998.

[2] C. Pacha, *et al.*, “Threshold logic circuit design of parallel adders using resonant tunnelling devices”, *IEEE Trans. VLSI Systems*, Vol. 8, no. 5, pp. 558-572, May 2000.

[3] K. Maezawa and T. Mizutani, “A new resonant tunneling logic-gate employing monostable-bistable transition”, *Japan Journal Applied Phys. Letters*, Vol. 37, pp. 142-144, 1993.

[4] K.-J. Gan, *et al.*, “Four-valued memory circuit using three-peak MOS-NDR devices and circuits”, *Electronics Letters*, Vol. 42, (9), pp. 514-515, April 2006.

[5] K.-J. Gan, *et al.*, “Design and fabrication of multiple-valued multiplexer using negative differential resistance circuits and standard SiGe process”, *Solid-State Electronics*, Vol. 52, pp. 882-885, June 2008.

[6] W.-L. Guo, “CMOS-NDR transistor”, *9th International Conference on Solid-State and Integrated-Circuit Technology*, (ICSICT), pp. 92-95, Oct. 2008.

[7] C. Wu, and K.-N. Lai, “Integrated E^{C} -type differential negative resistance MOSFET device”, *IEEE J. Solid-State Circuits*, Vol. SC-14, pp. 1094-1101, Dec. 1979.

[8] J. Nunez, *et al.*, “Fast and area efficient multi-input Muller C-element based on MOS-NDR”, *IEEE Int. Symp. on Circuits and Systems*, (ISCAS09), pp.1811-1814, May 2009.

[9] H. Pettenghi, *et al.*, “Single phase clock scheme for MOBILE logic gates”, *Electronics Letters*, Vol. 42 (24), pp. 1382-1383, Nov. 2006.