

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad
Intelectual
Oficina internacional



(10) Número de Publicación Internacional
WO 2009/115630 A1

(43) Fecha de publicación internacional
24 de septiembre de 2009 (24.09.2009)

PCT

- (51) Clasificación Internacional de Patentes:
H01L 29/32 (2006.01) *H03K 17/08* (2006.01)
- (21) Número de la solicitud internacional:
PCT/ES2009/070043
- (22) Fecha de presentación internacional:
25 de febrero de 2009 (25.02.2009)
- (25) Idioma de presentación: español
- (26) Idioma de publicación: español
- (30) Datos relativos a la prioridad:
P200800799 18 de marzo de 2008 (18.03.2008) ES
- (71) Solicitante (para todos los Estados designados salvo US): **CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS** [ES/ES]; C/ Serrano 117, E-28006 Madrid (ES).
- (72) Inventores; e
- (75) Inventores/Solicitantes (para US solamente): **VELLVEHI HERNANDEZ, Miquel** [ES/ES]; Instituto De Microelectronica De Barcelona (imb-cnmm), Campus Universidad Autónoma, E-08193 Bellaterra, Barcelona (ES). **JORDA SANUY, Xavier** [ES/ES]; Instituto De Microelectronica De Barcelona (imb-cnmm), Campus Universidad Autónoma, E-08193 Bellaterra, Barcelona (ES). **GALVEZ SANCHEZ, José Luis** [ES/ES]; Instituto De Microelectronica De Barcelona (imb-cnmm), Campus Universidad Autónoma, E-08193 Bellaterra, Barcelona (ES). **GODIGNON, Philippe** [FR/ES]; Instituto De Microelectronica De Barcelona (imb-cnmm), Campus Universidad Autónoma, E-08193 Bellaterra, Barcelona (ES). **PERPIÑA GIRIBET, Xavier** [ES/ES]; Instituto De Microelectronica De Barcelona (imb-cnmm), Campus Universidad Autónoma, E-08193 Bellaterra, Barcelona (ES).
- (74) Mandatario: **PONS ARIÑO, Angel**; Glorieta Rubén Darío 4, E-28010 Madrid (ES).
- (81) Estados designados (a menos que se indique otra cosa, para toda clase de protección nacional admisible): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) Estados designados (a menos que se indique otra cosa, para toda clase de protección regional admisible): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europea (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[Continúa en la página siguiente]

(54) Title: METHOD FOR PRODUCING RB-IGBT DEVICES

(54) Título: METODO DE FABRICACION DE DISPOSITIVOS RB-IGBT

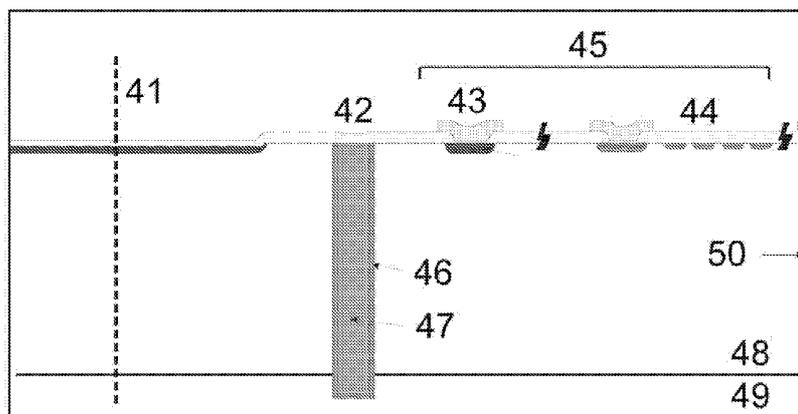


Fig 4

(57) Abstract: The invention relates to a novel method for producing IGBT devices with reverse blocking capability, comprising the use of the trench isolation technique, in which the trench was doped using a solid source with boron wafers, thereby reducing both the cost of the starting material and the process time.

(57) Resumen: Se presenta un nuevo método de fabricación de dispositivos IGBT, con capacidad de bloqueo en inversa. Para ello, se ha utilizado la técnica de aislamiento por trinchera donde el proceso de impurificación de la misma se ha realizado utilizando una fuente sólida con obleas de boro, resultando en un abaratamiento tanto en material de partida como en una reducción del tiempo de proceso.



WO 2009/115630 A1

WO 2009/115630 A1



SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, **Publicada:**
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— *con informe de búsqueda internacional (Art. 21(3))*

MÉTODO DE FABRICACIÓN DE DISPOSITIVOS RB-IGBT

5 SECTOR DE LA TÉCNICA

La invención propuesta en esta Memoria de invención se enmarca en el campo de la **electrónica de potencia**. En concreto, los dispositivos IGBT (*Insulated Gate Bipolar Transistor*) fabricados en silicio con capacidad de bloqueo en tensión inversa son dispositivos conocidos como RB-IGBT (**Reverse Blocking IGBT**) y son muy similares a los dispositivos IGBT convencionales, pero con una protección adicional en la periferia del dispositivo que lo dota de capacidad para soportar una alta tensión eléctrica en inversa. Desde el punto de vista del usuario, el RB-IGBT se comporta como un interruptor controlable que permite el paso de corriente en una dirección (unidireccional en corriente) y el bloqueo de tensión en ambos sentidos. Los circuitos de potencia típicos en los cuales se requiere este tipo de dispositivos son los inversores de corriente, los convertidores resonantes utilizados en distintas aplicaciones, los circuitos de protección serie en líneas AC y en los interruptores bidireccionales empleados básicamente en convertidores matriciales. El considerable desarrollo que están experimentando los convertidores matriciales durante los últimos años, representa, quizás, la principal aplicación actual de los RB-IGBT [P. W. Wheeler, J. Rodríguez, J. C. Clare, L. Empringham, A. Weinstein. "Matrix Converters: A Technology Review". IEEE Trans. on Industrial Electronics, Vol. 49, No. 2, April 2002, p. 276-288]. Se trata de aplicaciones en un gran número de dominios técnicos: energías renovables (eólica, fotovoltaica o células de combustible), variadores de velocidad para el control de motores de alterna (en transporte, elevadores, grúas, prensas, industria de procesos, etc.); convertidores para aplicaciones submarinas y de alta temperatura; convertidores para

ambientes sensibles (hospitales, centros de cálculo, etc.), accionamientos en aplicaciones aeroespaciales (p. ej. el control de los alerones de los aviones civiles), etc.

5

ESTADO DE LA TÉCNICA

En una estructura IGBT convencional, la tensión en directo la soporta la unión pozo P/capa epitaxiada y la tensión en inverso la unión epitaxia/substrato como se detalla en la Fig. 1 (a) donde se muestra la zona de la terminación de un dispositivo IGBT convencional. Al cortar la oblea en dados individuales, el extremo de la unión capa epitaxiada/substrato que soporta la tensión en inversa queda al aire con lo cual la tensión que puede soportar es muy baja debido al elevado campo eléctrico que se genera en dicha superficie produciéndose elevadas corrientes de fuga. Para poder dotar a un dispositivo IGBT de capacidad de bloqueo en inversa, es necesario proteger la periferia del dispositivo con objeto de evitar que dicha unión quede al aire. Para ello, se extiende verticalmente la unión capa epitaxiada/sustrato con una región tipo P que alcanza la superficie superior pasivada del componente.

Básicamente, existen tres técnicas para proteger la periferia de un dispositivo IGBT y dotarlo de capacidad de bloqueo en inversa (ánodo polarizado negativamente): aislamiento tipo MESA, aislamiento por difusión y aislamiento por trinchera. En la Fig.2 se muestra esquemáticamente cada una de dichas técnicas.

El aislamiento tipo MESA consiste en realizar dos grabados tipo MESA a ambos lados de la línea de corte, lo suficientemente profundo como para que se alcance la unión entre la epitaxia y el sustrato [M. Takei, Y. Harada and K. Ueno. "600V-IGBT with Reverse Blocking Capability".

Proceedings of 12th International Symposium on Power Semiconductor Devices & ICs (ISPSD'01). June 2001, Osaka (Japan)]. Esta técnica se usa principalmente para dispositivos de gran área como los tiristores, en los cuales el ángulo de grabado y la pasivación aseguran la capacidad de bloqueo en inversa. Aunque sería posible proteger la superficie lateral de dispositivos más pequeños como los IGBTs, éstos necesitarían de un sustrato P⁺ grueso debido a razones estructurales ya que el resultado es una estructura mecánicamente débil, resultando en un compromiso entre ambos factores. Cabe remarcar que, en este caso, el área final del dispositivo es sumamente grande debido a la anchura de los grabados tipo MESA tal y como se aprecia en la figura.

El aislamiento por difusión consiste en definir una difusión tipo P en la región de la línea de corte lo suficientemente profunda como para que llegue al sustrato como se puede ver en la Fig. 2. Esta técnica requiere de un proceso de difusión a temperaturas extremadamente altas (>1250°C) y un tratamiento térmico posterior lo suficientemente largo para conseguir que las difusiones profundas alcancen el sustrato tipo P [T. Naito, M. Takei, M. Nemoto, T. Hayashi and K. Ueno. "1200 V Reverse Blocking IGBT with low loss for Matrix Converter". Proceedings of 16th International Symposium on Power Semiconductor Devices & ICs (ISPSD'04). June 2004, Kitakyushu (Japan). H.Takahashi, M. Kaneda and T. Minato. "1200V class Reverse Blocking IGBT (RB-IGBT) for AC Matriz Converter". Proceedings of 16th International Symposium on Power Semiconductor Devices & ICs (ISPSD'04). June 2004, Kitakyushu (Japan). M. Takei, T. Naito and K. Ueno. "Reverse Blocking IGBT for Matrix Converter with Ultra-thin Wafer Technology". IEE Proceedings on Circuits, Devices and Systems, Vol 151, No3, June 2004, pp.243-247. E.R. Motto, J.F. Donlon, M. Tabata, H. Takahashi, Y. Yu and G. Makumdar. "Application Characteristics of an Experimental RB-IGBT (Reverse Blocking TGBT) Module". Proceedings of the IEEE 39th Annual Meeting

Industry Applications Conference, Vol.3, October 2004, pp. 1540-1544.]. Además, al igual que en el caso de aislamiento tipo MESA, el área del chip se incrementa notablemente usando esta técnica debido, en este caso a la difusión lateral. Esta es la técnica más utilizada para la definición de dispositivos RB-IGBT. De hecho, actualmente solo existen comercialmente tres referencias de este tipo dispositivos RB-IGBT siendo la técnica de aislamiento utilizada la de difusión (Véanse las Patentes 1 y 2, reseñadas más adelante). La tensión de ruptura tanto en inversa como en polarización directa (la característica corriente-tensión es prácticamente simétrica) es de 1200 V y los comercializa la empresa IXYS Corporation [A. Lindemann. "A new IGBT with Reverse Blocking Capability". Application Note of IXYS Semiconductor GmbH Corporation. (t052804). May 2004].

En la tecnología planar se entiende por trinchera a un pozo realizado en la oblea de silicio mediante una técnica de gravado apropiada. En el caso del aislamiento mediante, el área total del chip requerida es menor, debido a que la anchura de la trinchera de aislamiento se sitúa en torno a las 15 μm . Además, se requieren procesos térmicos estándar y no existe limitación en el espesor de las obleas. Tal y como se aprecia en la Fig. 1, esta técnica consiste en definir dos trincheras de unas 15 μm de ancho, a ambos lados de la línea de corte y de profundidad dependiente de la capacidad de bloqueo requerida (espesor de la capa epitaxiada). En este sentido, para una tensión de 600V, se requiere una profundidad del orden de las 110 μm . y para una tensión de 1200V dicho valor aumenta hasta valores superiores a las 200 μm . Además, dichas trincheras deben ser impurificadas uniformemente tipo P en la totalidad de las paredes y posteriormente, rellenadas con silicio policristalino. La técnica utilizada para el impurificación en la única referencia bibliográfica que se ha encontrado es la de implantación iónica [N. Tokuda, M. Kaneda and T. Minato. "An ultra-small isolation area of 600V class Reverse Blocking IGBT with Deep Trench Isolation process (TI-RB-IGBT)".

Proceedings of 16th International Symposium on Power Semiconductor Devices & ICs (ISPSD'04). June 2004, Kitakyushu (Japan)]. Sin embargo, para poder impurificar este tipo de trincheras (muy estrechas y muy profundas) se requiere un equipo de implantación iónica con unas características muy especiales que permitan controlar de forma muy precisa el ángulo de incidencia de la implantación y el ángulo de rotación de la oblea para poder implantar uniformemente las cuatro paredes de la trinchera. Este tipo de procesado, ciertamente, es muy costoso en tiempo y en equipamiento necesario. En efecto, fabricar así los dispositivos requerirá un control muy preciso de todos los parámetros involucrados, ya que se pueden generar problemas de sombras de implantación, efectos de acanalamiento, desuniformidad del impurificado, baja repetitividad, etc. Además, cabe mencionar también, el elevado precio de adquisición y mantenimiento de dichos equipos en comparación con los utilizados para oxidaciones y recocidos como los usados en la presente propuesta de invención donde el impurificado se consigue utilizando obleas impurificantes de BN.

Por consiguiente, el procedimiento de fabricación de dispositivos IGBT presentado en esta patente de invención constituye un abaratamiento tanto en material de partida como en una reducción del tiempo de proceso. En el siguiente apartado se detallará dicho proceso de fabricación que tiene como objetivo la integración en silicio de dispositivos IGBT con capacidad de bloqueo en inversa.

25

Patentes

1. Título de la Patente: **Reverse Blocking IGBT**
Número: US6727527
2. Título de la Patente: **Reverse blocking type semiconductor device and method of manufacturing the same.** Número: JP2005252212

30

DESCRIPCIÓN DE LA INVENCIÓN

5 Breve descripción de la invención

La invención que se propone en esta patente define un proceso de fabricación para la fabricación de dispositivos RB-IGBT. Este proceso consta de dos partes: una primera donde se realiza el aislamiento de la periferia del dispositivo mediante una trinchera impurificada con fuente sólida y una segunda, donde se define la estructura IGBT convencional que aislada mediante la trinchera, dotará al dispositivo de capacidad de bloqueo en inversa.

15

Descripción detallada de la invención

La realización práctica de los dispositivos RB-IGBT implica, en primer lugar, disponer de un proceso tecnológico estándar para la fabricación de estructuras IGBT convencionales basado en un proceso de doble difusión. En segundo lugar, para poder dotar al IGBT de capacidad de bloqueo en inversa, se requiere de un proceso tecnológico adicional previo a la definición de la estructura IGBT convencional cuyo principal objetivo es la protección de la periferia del dispositivo. Hasta la fecha, este proceso resultaba en un aumento considerable de la superficie de silicio cuando se elegía la opción de grabado tipo MESA o de difusión profunda, o bien, en un complicado y costoso proceso de implantación iónica (necesario para introducir en el dispositivo las impurezas necesarias), si se considera la opción de realizar el aislamiento de la periferia mediante trincheras.

En la presente invención se ha optado por esta última técnica de aislamiento por trinchera pero mejorando y simplificando el proceso de impurificado de las paredes de la misma. El hecho mismo de utilizar la técnica de aislamiento por trinchera se debe básicamente a dos motivos: el primero hace referencia a las ventajas mencionadas en el apartado anterior (Estado de la Técnica) frente a otros procedimientos, y, en segundo lugar, a la viabilidad de realizar dicho proceso con equipos estándar de gravado disponibles en la mayoría de las actuales salas blancas de fabricación microelectrónica. En líneas generales, el uso de esta técnica en concreto supondrá, en términos prácticos, una disminución considerable del área de silicio a emplear, e, igualmente, de los costes de realización de la impurificación de la trinchera, comparada con las existentes hasta la fecha.

Tal y como se ha comentado, la integración en Silicio de estructuras RB-IGBT consta de dos partes claramente diferenciadas: una primera donde se realiza el aislamiento del dispositivo IGBT mediante trinchera y una segunda parte donde se integra la estructura IGBT convencional.

En la Fig. 3 se muestra el diagrama de bloques del proceso de fabricación de las estructuras RB-IGBT.

El principal objetivo de la presente invención se basa en la definición de trincheras profundas en el silicio, su impurificación y posterior rellenado con silicio policristalino. Tal y como se ha comentado anteriormente, dicho proceso es necesario para el aislamiento de las estructuras IGBT que las dota de capacidad de bloqueo en inversa. El primer paso consiste en la definición de la trinchera profunda. Dicha trinchera tendrá una profundidad superior al espesor de la capa epitaxiada tipo N de manera que contactará la parte superior pasivada del dispositivo con el substrato tipo P como se puede apreciar en la Fig. 1. Además, dicha trinchera debe ser impurificada de manera uniforme en la totalidad de la

superficie de las paredes. Por esta razón, en esta patente de invención se propone un proceso de introducción de los átomos impureza, en la trinchera, por medio de una fuente sólida. Dicha combinación de aislamiento por trinchera y su proceso de impurificación con fuente sólida mejora las técnicas de aislamiento propuestas hasta la fecha en la literatura en términos de coste, repetitividad y uniformidad en el impurificado y disminución del área de silicio requerida para realizar el aislamiento. Los pasos críticos en el proceso de la formación de la trinchera son la optimización de su anchura y profundidad, la optimización del proceso de impurificado con fuente sólida y su posterior rellenado con silicio policristalino.

Para optimizar el proceso de grabado de la trinchera hay que tener en cuenta que uno de los parámetros que definirá la anchura máxima de la trinchera será el espesor máximo de la capa de silicio policristalino que se pueda depositar para su posterior rellenado.

El proceso de impurificado de la trinchera mediante una fuente sólida consiste básicamente en colocar las obleas con impurezas de BN (nitruro de boro) entre las obleas de proceso y realizar, en base a las simulaciones tecnológicas que se han realizado previamente de las que se obtienen los picos y las profundidades del impurificado, una oxidación a 1250 °C durante 20 minutos, seguido de un decapado del óxido crecido. El resultado final de esta etapa es la obtención de una impurificación uniforme de las paredes de las trincheras. Además, el proceso requiere también etapas adicionales de oxidación y decapado para garantizar una buena calidad de la superficie de las paredes de la trinchera. La principal ventaja de esta técnica es que es un proceso estándar de cualquier Sala Blanca con tecnología CMOS (hornos de difusión y recocido con atmósfera controlada) que permite obtener una buena repetitividad y uniformidad en el impurificado, en cuando a profundidad y niveles de concentración.

Además, la puesta a punto de dicho proceso no es tan crítica como en el caso de la implantación iónica y los equipos utilizados son mucho menos costosos que en el caso de los implantadores iónicos.

5 Una vez las paredes de la trinchera han sido impurificadas y alisadas mediante tratamientos térmicos para obtener una buena calidad de la superficie, se deposita el espesor de silicio policristalino necesario para rellenar la trinchera.

10 A continuación, una vez depositado el silicio policristalino se graba el mismo espesor depositado con objeto de eliminar la capa de silicio policristalino de la superficie. Una vez la superficie del chip quede completamente limpia con el Si a la vista se inicia el proceso estándar de fabricación de las estructuras IGBT. Este proceso se basa en un proceso
15 estándar de fabricación de estructuras VDMOS/IGBT de doble difusión.

Dichas estructuras IGBT convencionales están formadas por un número determinado de celdas básicas en paralelo y que determinarán la capacidad en corriente del dispositivo. Además para que el dispositivo
20 soporte la tensión de ruptura deseada, será necesario integrar una terminación adecuada (anillos de guarda flotantes). Dicha terminación se puede ver en la Fig. 1 (elemento 12).

Una vez limpia la superficie del chip después de optimizar el
25 proceso de definición de las trincheras de aislamiento, se crece un óxido térmico que hará las funciones de óxido de campo inicial. A continuación, a través de un proceso fotolitográfico estándar de depósito y revelado de resina, se graba el óxido de campo en determinadas zonas de manera que se definen unas ventanas que nos servirán para implantar a través de ellas
30 especies dopantes tipo P, en este caso boro con una concentración elevada, que formarán los pozos profundos P⁺ de las celdas básicas. Al

mismo tiempo, mediante esta implantación se definen los anillos de guarda flotantes de la terminación del dispositivo, necesaria para soportar la tensión de ruptura requerida. Una vez decapada la resina, se crece de nuevo un óxido térmico que junto con el óxido crecido anteriormente, 5 obtendremos un espesor final del óxido de campo de alrededor de 7500 Å. A continuación se define el área activa del dispositivo a través de un nuevo proceso fotolitográfico grabando el óxido de campo. Una oxidación térmica en el rango de los 900-1000°C, definirá el óxido de puerta, cuyo espesor, junto con la densidad de impurezas del pozo P que se definirá 10 posteriormente, serán los parámetros que determinan la tensión umbral del dispositivo fabricado. A continuación se deposita el silicio policristalino que actuará como metal de puerta. Para mejorar la resistividad de este material se realiza un proceso de impurificado del silicio policristalino con POCl_3 . Después de un nuevo proceso fotolitográfico se grava el silicio 15 policristalino y se realiza una implantación con impurezas de Boro para definir el pozo P de la celda básica, actuando de esta manera el silicio policristalino como máscara de implantación. Una vez activadas las impurezas del pozo P mediante un proceso térmico adecuado, se reduce el espesor del óxido no cubierto por el silicio policristalino que servirá de 20 pantalla para la posterior implantación de boro altamente impurificados a través de un nuevo proceso fotolitográfico y que servirá para definir las zonas P^{++} de mejora de contacto de fuente de la celda básica. Posteriormente, en el paso siguiente, se definirán las zonas N^+ de fuente mediante una doble implantación con impurezas de Fósforo y Arsénico 25 altamente impurificados para obtener una baja resistencia del contacto fuente. Mediante un recocido en ambiente neutro en el rango de los 1000°C se activan simultáneamente las impurezas de P^{++} y N^+ de fuente.

Después de realizar todas las implantaciones en la cara anterior de 30 las obleas se procede al decapado de su cara posterior con RIE (*Reactive Ion Etching*) protegiendo aquella con resina. A continuación se deposita un

óxido inter nivel impurificado de alrededor de 1 μm . y se le hace casi fluido a alta temperatura durante cerca de una hora hasta lograr una superficie homogénea. Después, mediante una máscara se realiza la apertura de contactos con un grabado seco de los óxidos inter nivel y
5 térmico. Tras la deposición de una capa metálica de Al/Cu (aluminio/cobre) en la cara anterior, se realiza la etapa fotolitográfica que permite grabar la metalización. A continuación se metaliza, con esa misma aleación Al/Cu, la cara posterior de la oblea con un espesor más fino que en la cara anterior y se procede a su posterior recocido. La pasivación de
10 la cara anterior de la oblea se lleva a cabo mediante la deposición de un óxido-nitruro de un espesor en el rango de 1 μm . Finalmente, mediante la técnica de *lift-off* y utilizando la misma máscara de pasivación, se deposita, en la cara anterior, una tricapa metálica de titanio, níquel y oro en las zonas de contacto o *pads* del dispositivo.

15

EJEMPLO DE REALIZACIÓN DE LA INVENCION

20 **Ejemplo de realización:** Fabricación de un dispositivo RB-IGBT con una tensión de ruptura en inversa de 500 V.

Tal y como se ha comentado, el proceso de fabricación de dispositivos RB-IGBT consta de dos etapas claramente diferenciadas. Una
25 primera donde se realiza el proceso de definición, impurificación y rellenado de las trincheras en la periferia del dispositivo y que dotarán al mismo de capacidad de bloqueo en inversa. Una segunda parte, dará cuenta de la definición de la celda básica y de la terminación del dispositivo RB-IGBT. El número de celdas a implementar será el que
30 dotará al dispositivo de la capacidad en corriente deseada y la terminación

del mismo será diseñada de manera que el dispositivo soporte la tensión de ruptura requerida, en este caso 500 V.

1. Optimización de la región de trinchera en la periferia del dispositivo

5

En la Fig. 4 se muestra un esquema de la región de la terminación, la trinchera de aislamiento y la línea de corte de un dispositivo RB-IGBT. Se puede apreciar como la terminación del dispositivo IGBT consta de 5 anillos de guarda y un "*channel stopper*" (limitador de canal). Entre la terminación y la línea de corte se ha realizado la trinchera de aislamiento. Como se muestra en la figura, las paredes de la trinchera están impurificadas con impurezas tipo P y rellenas con silicio policristalino. Su profundidad es tal que alcanza el sustrato de manera que la estructura IGBT queda aislada de la periferia. Para los dispositivos aquí presentados se ha optado por una tensión de ruptura de 500 V con lo que la capa epitaxial requerida en base a las simulaciones realizadas ha de ser de 100 µm. Así, para poder asegurar que la trinchera alcance el sustrato se ha apuntado a una profundidad de trinchera superior al espesor de la capa epitaxial. Para poder realizar ataques profundos de silicio, se dispone de un equipo ALCATEL 601-E. Se trata de un equipo especialmente diseñado para grabados profundos tipo DRIE (*Deep Reactive Ion Etching*). Este tipo de sistemas están pensados para obtener una alta tasa de grabado, buena uniformidad, selectividad y perfil prácticamente vertical. Esto se consigue gracias a la ignición inductiva del plasma (ICP, *inductively coupled plasma*) y a un generador pulsante que polariza independientemente el sustrato, junto a unos imanes que direccionan y concentran el plasma de alta densidad. Para realizar los ataques profundos del silicio, se han seleccionado las condiciones óptimas de presión, concentración de gases y tiempo de ataque, de forma que el grabado final cumpliera las características finales requeridas.

10

15

20

25

30

La optimización de la parte del aislamiento por trinchera se ha focalizado en tres partes: la optimización de la anchura y profundidad, la optimización del proceso de impurificado con fuente sólida y el posterior rellenado de la trinchera con silicio policristalino.

5

(a) Optimización de la anchura y profundidad de las trincheras

Para optimizar el proceso de grabado de la trinchera se han realizado pruebas previas donde se han definido trincheras de diferentes anchuras y profundidades. Hay que tener en cuenta que uno de los parámetros que definirá la anchura máxima de la trinchera será el espesor máximo de la capa de silicio policristalino que se pueda depositar para su posterior rellenado. Obviamente, también hay que tener en cuenta que cuanto más estrecha sea la trinchera menos área de silicio se requiere, aunque también hay que asegurar que las paredes queden impurificadas uniformemente y la trinchera rellena con silicio policristalino. En este sentido, en la sala blanca se han depositado espesores de silicio policristalino de hasta 10 micras con buena repetitividad. De esta manera, teniendo en cuenta todos estos factores, se han definido trincheras de 12 micras obteniendo un buen rellenado con silicio policristalino. En cuanto a la profundidad de la trinchera, ésta dependerá de la tensión de ruptura requerida para el dispositivo, cómo se ha expuesto en líneas precedentes. En nuestro caso, para una tensión de ruptura de 500V, la profundidad de la trinchera requerida ha de ser superior al espesor de la epitaxia (100 μm). Se ha corroborado mediante las inspecciones al microscopio óptico de las pruebas realizadas que la profundidad del grabado de la trinchera depende enormemente de la anchura de la misma. Así, para trincheras de anchura 12 micras, la profundidad obtenida es de 210 μm , mientras que las trincheras con anchuras de 100 μm . la profundidad ha llegado a los 280 μm . para unas mismas condiciones de grabado. Por tanto, cuanto mayor sea la anchura de la trinchera a grabar, la velocidad de ataque será

también mayor. Debido a que en los dispositivos RB-IGBT presentados en esta memoria de invención la tensión de ruptura requerida es del orden de los 500V, obtenemos que para grabar una trinchera de 12 μm . de ancho y una profundidad de 110 μm ., necesitamos un tiempo de ataque del silicio de aproximadamente unos 45 minutos.

(b) Optimización del proceso de impurificación de la trinchera con fuente sólida (profundidad y pico de concentración)

10

El proceso de impurificación de la trinchera con fuente sólida consiste básicamente en colocar las obleas impurificantes de BN (nitruro de boro) entre las obleas de proceso y realizar, una oxidación a 1250 °C durante 20 minutos, seguido de un decapado del óxido crecido. El resultado final de esta etapa es la obtención de un impurificado uniforme de las paredes de las trincheras. Además, el proceso requiere también etapas adicionales de oxidación y decapado para garantizar una buena calidad de la superficie de las paredes de la trinchera. En concreto, los pasos tecnológicos necesarios para impurificar con fuente sólida se listan a continuación:

20

- Oxido sacrificial de 2000Å
- Grabado húmedo del óxido sacrificial de 2000 Å
- Oxidación a 1250 °C durante 20 minutos con obleas dopantes de BN
- Decapado del óxido crecido
- Oxidación a 800 °C durante 20 minutos
- Decapado del óxido crecido

25

30

Debido a que el grabado profundo de la trinchera con el equipo antes mencionado deja la superficie de su pared rugosa en exceso, la

principal misión del óxido sacrificial inicial es la de mejorar la calidad de la superficie donde a continuación se realizará la impurificación alisando y limpiando la pared de posibles restos de partículas del grabado seco anterior.

5

La principal ventaja de esta técnica es que es un proceso estándar de cualquier sala blanca con capacidad para fabricar tecnología CMOS (hornos de difusión y recocido) y que, además, permite obtener una buena repetitividad y uniformidad en la impurificación en cuando a profundidad y niveles de concentración. Además, la puesta a punto de dicho proceso no es tan crítica como en el caso de la implantación iónica y los equipos utilizado son mucho menos costosos que en el caso de los implantadores iónicos.

15

(c) Optimización del relleno de la trinchera con silicio policristalino

Antes de proceder al relleno de la trinchera con silicio policristalino se realiza una oxidación de 2500 Å a lo largo de toda la pared de la trinchera. Esta oxidación se utiliza para aislar por completo el silicio policristalino del interior de la trinchera con el Si tipo N de la epitaxia. A continuación, se deposita el espesor de silicio policristalino necesario para rellenar la trinchera. Para la fabricación de las estructuras RB-IGBT se utilizará un espesor de silicio policristalino de 6.5 µm. para poder asegurar que las trincheras de 12 µm. de anchura queden completamente rellenas. A continuación, una vez depositado el silicio policristalino se graba el mismo espesor depositado con objeto de eliminar la capa de silicio policristalino de la superficie. Seguidamente, se graban los 2500 Å de óxido y se deja la superficie completamente limpia con el silicio a la vista para el posterior inicio del proceso estándar de fabricación de dispositivos IGBT.

30

2. Optimización de la celda básica y la terminación del dispositivo

5 La segunda parte del proceso de fabricación consiste en la definición de la estructura convencional IGBT. Este proceso se basa en un proceso estándar de fabricación de estructuras VDMOS/IGBT de doble difusión. Dicha estructura IGBT convencional está formada por un número determinado de celdas básicas que determinaran la capacidad en corriente
10 del dispositivo y una terminación que permitirá soportar una determinada tensión de ruptura. En la Fig. 5, se detallan las partes esenciales de la celda básica de un IGBT.

 Una vez limpia la superficie del chip después de optimizar el
15 proceso de definición de las trincheras de aislamiento, se crece un óxido térmico de 6200 Å que hará las funciones de óxido de campo inicial. A continuación, a través de un proceso fotolitográfico estándar de depósito y revelado de resina, se grava el óxido de campo en determinadas zonas de manera que se definen unas ventanas que nos servirán para implantar a
20 través de ellas especies dopantes tipo P, en este caso boro con una concentración elevada ($4 \times 10^{15} \text{ cm}^{-2}$ y 100 keV), que formarán los pozos profundos P⁺ de las celdas básicas. Al mismo tiempo, mediante esta implantación se definen los anillos de guarda flotantes de la terminación del dispositivo, necesaria para soportar la tensión de ruptura requerida. En
25 nuestro caso, para un dispositivo de 500V el número de anillos de guarda es de 5 más un anillo adicional N⁺ que actúa como limitador de canal o *channel stopper*.

 Una vez decapada la resina, se crece de nuevo un óxido térmico
30 que junto con el óxido crecido anteriormente, obtendremos un espesor final del óxido de campo de alrededor de 7500 Å. A continuación se define

el área activa del dispositivo a través de un nuevo proceso fotolitográfico grabando el óxido de campo. Una oxidación térmica a 950°C, definirá el óxido de puerta (780 Å). Este espesor de óxido de puerta, junto con el dopaje del pozo P que se definirá posteriormente, serán los parámetros

5 que determinarán la tensión umbral del dispositivo. A continuación se depositan 6000 Å el silicio policristalino que actuará como metal de puerta. Para mejorar la resistividad de este material se realiza un proceso de impurificado del silicio policristalino con POCl_3 . Después de un nuevo proceso fotolitográfico se grava el silicio policristalino y se realiza una

10 implantación con boro de $8 \times 10^{15} \text{ cm}^{-2}$ y 150 keV de energía para definir el pozo P de la celda básica, actuando de esta manera el silicio policristalino como máscara de implantación. Una vez activadas las impurezas del pozo P mediante un proceso térmico, se reduce el espesor del óxido no cubierto por el silicio policristalino, dejando el óxido fino con un espesor de unos

15 400 Å. Este óxido servirá de pantalla para la posterior implantación de boro altamente impurificado ($4 \times 10^{15} \text{ cm}^{-2}$ y 120 keV), a través de un nuevo proceso fotolitográfico y que servirá para definir las zonas P^{++} de mejora de contacto de fuente de la celda básica. Después, se definirán las zonas N^+ de fuente mediante una doble implantación de fósforo y arsénico

20 altamente impurificados ($1\text{E}14 \text{ cm}^{-2}$ y $3\text{E}15 \text{ cm}^{-2}$, respectivamente) para obtener una baja resistencia de contacto de fuente. Mediante un recocido en ambiente neutro a 950 °C durante 50 min. se activan simultáneamente las impurezas de P^{++} y N^+ de fuente.

25 Después de realizar todas las implantaciones en la cara anterior de las obleas se procede al decapado de la cara posterior de la oblea con RIE protegiendo la cara anterior con resina. A continuación se deposita un óxido inter nivel BPTEOS impurificado de 1.3 μm . y se somete a un tratamiento térmico a 950°C durante 50 minutos para homogeneizar la

30 superficie y dejarla perfectamente plana. Mediante una máscara fotolitográfica se realiza la apertura de contactos con un grabado seco de

los óxidos ínter nivel y térmico. Tras la deposición de 3 μm . de Al/Cu (aluminio/cobre), se realiza la etapa fotolitográfica que permite grabar la metalización. A continuación se metaliza la cara posterior de la oblea con 0.5 μm . de Al/Cu y su posterior sinterización a 350°C. La pasivación de la

5 cara anterior de la oblea se lleva a cabo mediante la deposición de un óxido-nitruro de 1.1 μm . Finalmente, mediante la técnica de *lift-off* y utilizando la misma máscara de pasivación, se deposita una tricapa metálica de titanio, níquel y oro en las zonas de contactos eléctricos o *pads* del dispositivo.

10

En la Fig. 6 se muestra la característica I(V) de uno los primeros prototipos de dispositivos RB-IGBT fabricados en una Sala Blanca donde se aprecia claramente la capacidad de bloqueo bidireccional del dispositivo, siendo la tensión de ruptura de alrededor de 500V.

15

5. DESCRIPCION DETALLADA DE LAS FIGURAS

Fig. 1 Celda básica de un IGBT (a) y de la terminación de un RB-IGBT (b)

- 5 (1) Aluminio
 (2) SiO₂
 (3) Silicio policristalino
 (4) Difusión N+ de fuente
 (5) Difusión P+
- 10 (6) Difusión P de Pozo P (body)
 (7) Unión que soporta la tensión en directo
 (8) Epitaxia N-
 (9) Substrato P+
- 15 (10) Unión que soporta la tensión en inverso
 (11) Substrato P+
 (12) Anillos de guarda

En esta figura se muestra el corte transversal de una estructura IGBT convencional y una RB-IGBT. Como se puede ver, la principal diferencia reside en la inclusión de una trinchera dopada tipo P, estrecha y profunda que alcanza el substrato P y que dota al IGBT de capacidad de bloqueo en inversa.

20

Fig. 2 Diferentes técnicas de protección de la periferia de un IGBT

- 25 (21) Trinchera
 (22) Difusión
 (23) Mesa
 (24) Línea de corte

30 En esta figura se muestran las diferentes técnicas que se utilizan para proteger la periferia de los dispositivos RB-IGBT. Se aprecia

claramente como el uso de la técnica de la trinchera reduce enormemente el área de Silicio a utilizar, mientras que el uso de grabados tipo MESA a ambos lados de la línea de corte es la que requiere un área mayor.

5

Fig. 3 Esquema del proceso de fabricación de estructuras RB-IGBT

En esta figura se muestra el diagrama de bloques con las diferentes etapas secuenciales del proceso de fabricación de los dispositivos RB-IGBT, incluyendo cada uno de los procesos fotolitográficos necesarios.

10

Fig. 4 Esquema de la región de la terminación, aislamiento por trinchera y línea de corte de un dispositivo RB-IGBT

15

(41) Línea de corte

(42) Trinchera de aislamiento

(43) Channel stopper

(44) Anillos de guarda

20

(45) Terminación

(46) Difusión P+

(47) Silicio policristalino

(48) Epitaxia N-

(49) Substrato P+

25

(50) Área activa

30

En esta figura se muestra un corte transversal de la periferia de un dispositivo RB-IGBT. Para poder soportar la tensión de ruptura requerida para el dispositivo, se requiere el uso de técnicas de terminación. En este caso se han usado anillos de guarda flotantes (4) y un limitador de canal (en inglés, denominado *channel stopper*

(3)). Entre la línea de corte (1) y el *channel stopper* (3) se ha definido una trinchera de asilamiento estrecha y profunda (2) impurificada con boro (6) y rellena con silicio policristalino (7) y que contacta con el substrato tipo P (9) a través de la epitaxia tipo N (8).

5

Fig. 5 Esquema detallado de la celda básica de un dispositivo RB-IGBT

(51) Pozo profundo P^+

(52) Óxido de campo

(53) Óxido de puerta

10

(54) Silicio policristalino

(55) Pozo P (body)

(56) Difusión P^{++}

(57) Difusión N^+ de fuente

(58) Óxido intel nivel

15

(59) Aluminio

(60) Epitaxia N

Fig. 6 Característica $I(V)$ de un dispositivo RB-IGBT

20

En esta figura se muestra una característica $I(V)$ de uno de los primeros prototipos de dispositivos RB-IGBT que se han fabricado en una Sala Blanca donde se aprecia claramente la capacidad de bloqueo bidireccional del dispositivo, siendo la tensión de ruptura de alrededor de 500V.

25

30

REIVINDICACIONES

1. Un método de fabricación de un dispositivo RB-IGBT que comprende proteger la periferia del IGBT mediante trinchera (42) profunda,
5 caracterizado porque, previamente a la formación del IGBT en una oblea de silicio formada por una capa epitaxial (48) sobre un sustrato (49), comprende las siguientes etapas:
- 10 - definir una trinchera (42) profunda que atraviesa la capa epitaxial (48) hasta llegar al sustrato (49);
 - impurificar uniformemente las paredes (46) de la trinchera (42) mediante fuente sólida empleando nitruro de boro; y
 - 15 - rellenar la trincheras (42) con silicio policristalino (47).
2. El método de fabricación de un dispositivo RB-IGBT de acuerdo con la reivindicación 1, donde la etapa de definición de la trinchera (42) se realiza mediante grabado profundo de silicio.
20
3. El método de fabricación de un dispositivo RB-IGBT de acuerdo con cualquiera de las reivindicaciones anteriores, donde la etapa de impurificación a su vez comprende al menos una operación de oxidación y decapado de las paredes (46) de la trinchera (42).
25
4. El método de fabricación de un dispositivo RB-IGBT de acuerdo con la reivindicación 3, donde la oxidación se realiza a 1250 °C durante 20 minutos.
- 30 5. El método de fabricación de un dispositivo RB-IGBT de acuerdo con cualquiera de las reivindicaciones anteriores, donde la etapa de relleno a

su vez comprende una operación previa de oxidación y una operación posterior de grabado.

6. El método de fabricación de un dispositivo RB-IGBT de acuerdo con cualquiera de las reivindicaciones anteriores, donde la capa epitaxial (48) es de tipo n y el sustrato (49) es de tipo p.

10

15

20

25

30

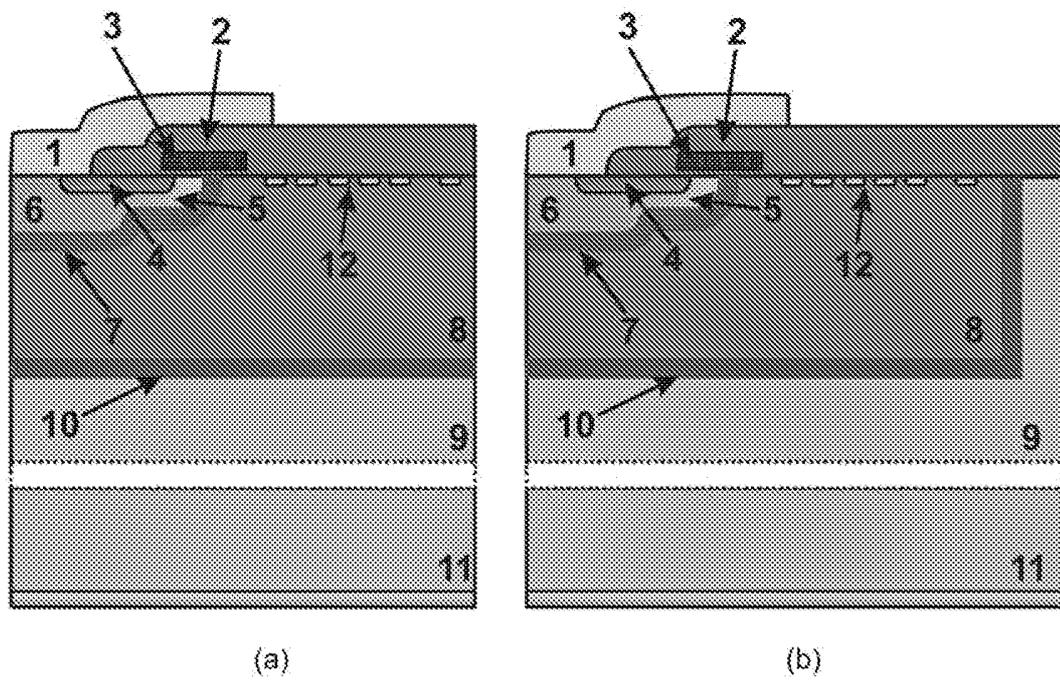


Fig 1

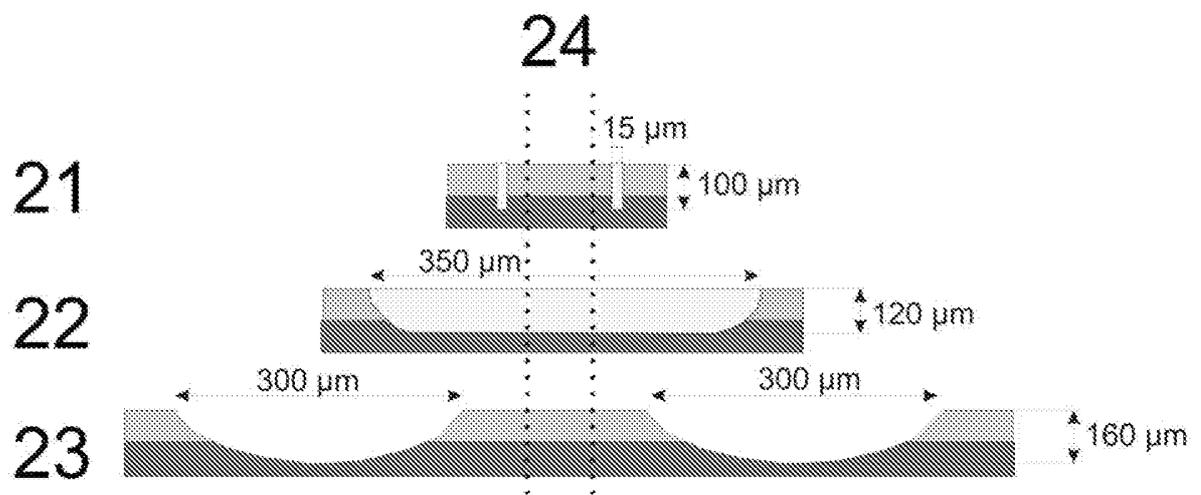


Fig 2

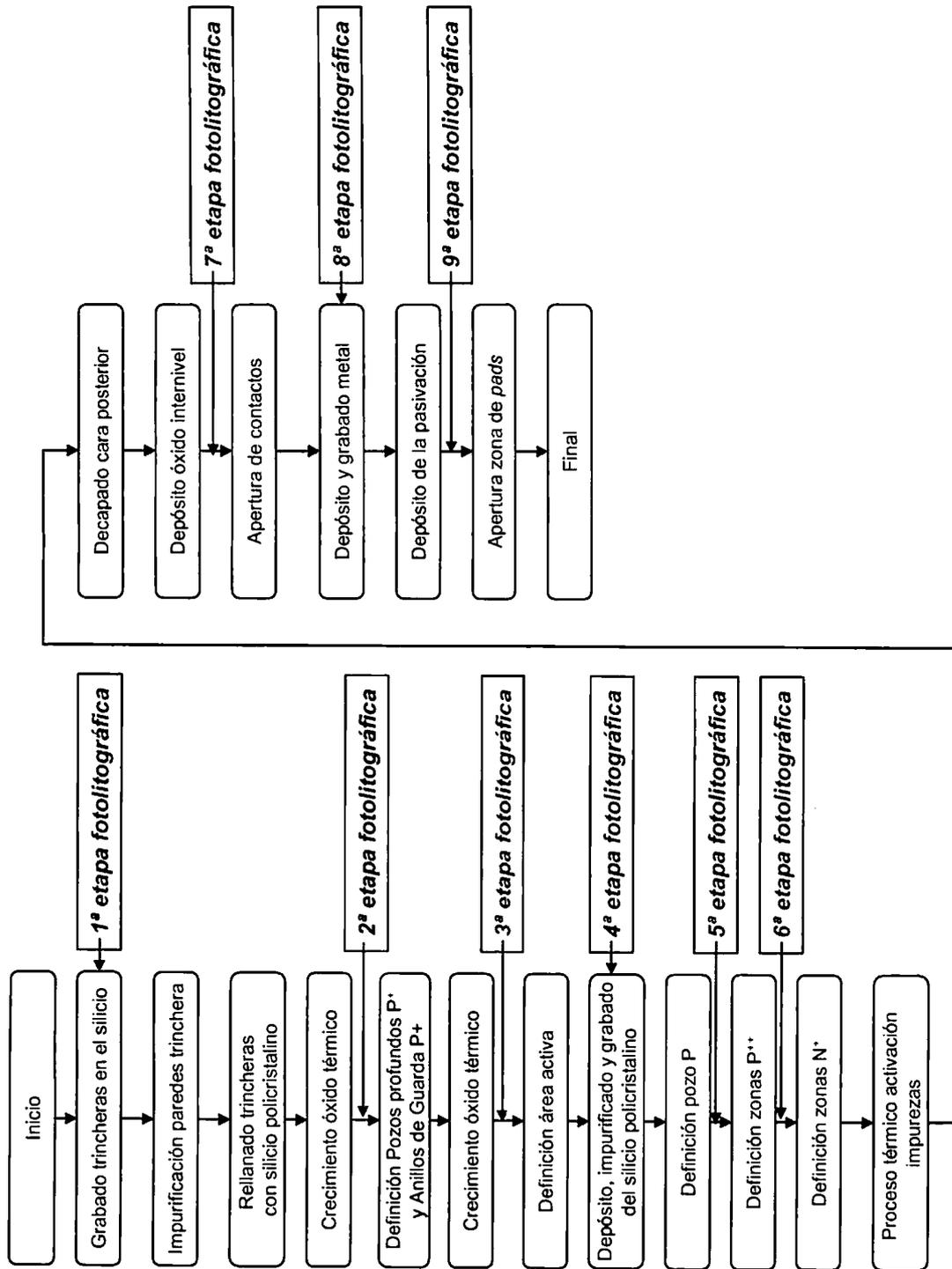


FIG 3

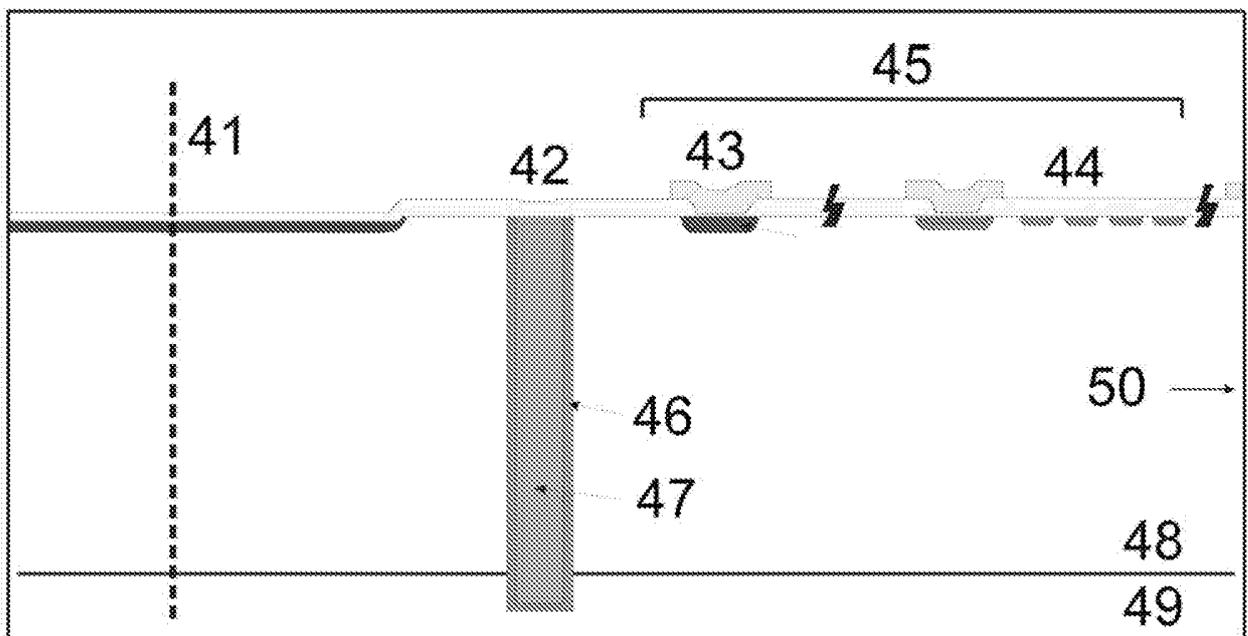


Fig 4

5/6

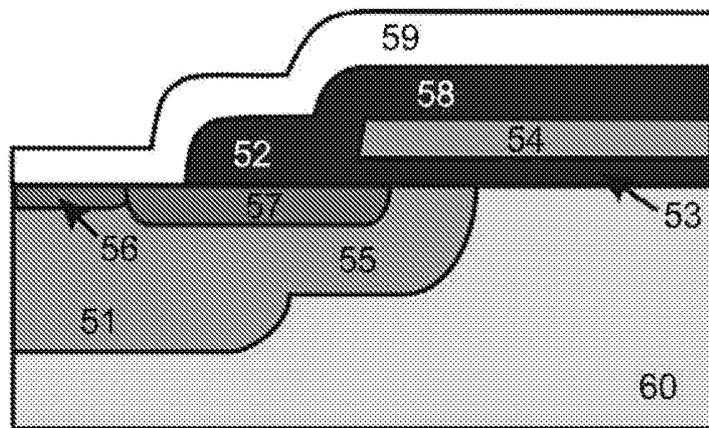


Fig. 5

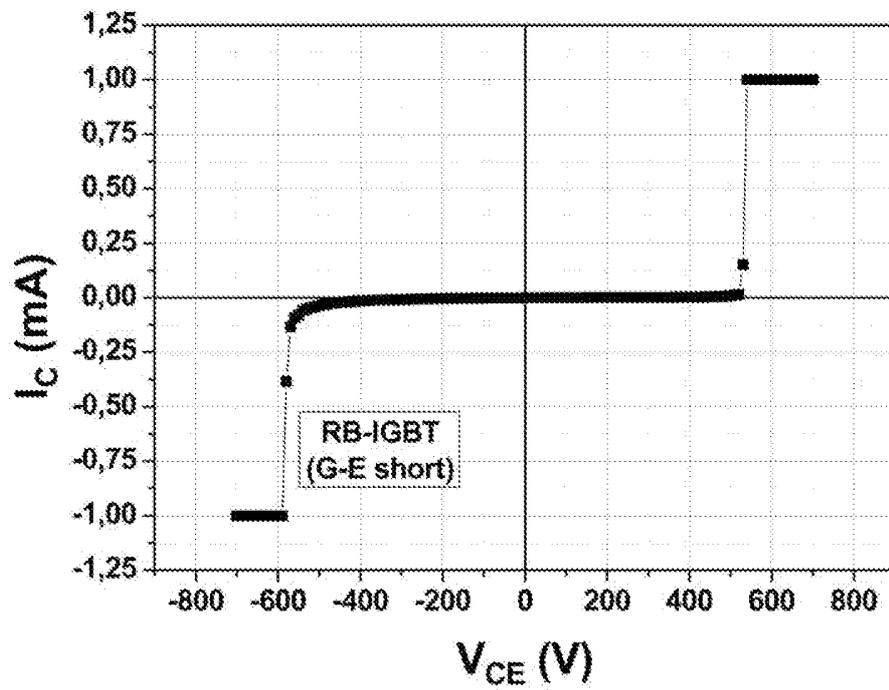


Fig 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/ ES 2009/070043

A. CLASSIFICATION OF SUBJECT MATTER

see extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L, H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

INVENES, EPODOC, WPI, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	TOKUDA, N.; KANEDA, M. & MINATO, T.: "An ultra-small isolation area for 600V class Reverse Blocking IGBT with Deep Trench Isolation process (TI-RB-IGBT)". Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs. Kitakyushu, Japón. June of 2004. Pages 129-132.	1, 2, 5, 6
Y	US 6103578 A (UENISHI, A. et al.) 15.08.2000, abstract; column 4, line 54 - column 5, line 33; column 10, lines 22-27; column 13, lines 14-29, 60-67; figures 8, 23-26.	1, 2, 5, 6
A	US 2005/0042830 A1 (BLANCHARD, R.) 24.02.2005, abstract; paragraphs [0014]-[0016], [0021]-[0028], [0030], [0033]-[0034]; figures 1, 3-4d.	1-3, 5, 6
A	EP 1030372 A2 (MITSUBISHI DENKI KK) 23.08.2000.	

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance.

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure use, exhibition, or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25.June.2009 (25.06.2009)

Date of mailing of the international search report

(26/06/2009)

Name and mailing address of the ISA/
O.E.P.M.

Paseo de la Castellana, 75 28071 Madrid, España.
Facsimile No. 34 91 3495304

Authorized officer

O. González Peñalba

Telephone No. +34 91 349 54 75

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/ ES 2009/070043

Patent document cited in the search report	Publication date	Patent family member(s)	Publication date
US 6103578 A	15.08.2000	DE 19736981 AC	20.08.1998
		JP 10223896 A	21.08.1998
		JP 3938964 B	27.06.2007
		US 6040600 A	21.03.2000
			21.03.2000
			21.03.2000
US 2005042830 A	24.02.2005	US 6576516 B	10.06.2003
		WO 03058684 A	17.07.2003
		AU 2002359889 A	24.07.2003
		US 2003203552 A	30.10.2003
		US 6794251 B	21.09.2004
		EP 1476894 A	17.11.2004
		EP 20020794456	30.12.2002
		US 7224027 B	29.05.2007
		CN 1610974 A	27.04.2005
		CN 100355086 C	12.12.2007
		JP 2005514787 T	19.05.2005
		TW 270208 B	01.01.2007
EP 1030372 AB	23.08.2000	EP 0756330 AB	29.01.1997
		EP 19960109389	12.06.1996
		CN 1142688 A	12.02.1997
		CN 1052342 C	10.05.2000
		JP 9139510 A	27.05.1997
		JP 3850054 B	29.11.2006
		KR 100214207 B	02.08.1999
		CN 1226751 A	25.08.1999
		CN 1236499 C	11.01.2006
		US 5977570 A	02.11.1999
		EP 20000107885	12.06.1996
		EP 1030373 A	23.08.2000
		EP 20000107897	12.06.1996
		US 6265735 B	24.07.2001
		EP 1154491 AB	14.11.2001
		EP 20010117378	12.06.1996
		EP 1158582 AB	28.11.2001
		EP 20010117369	12.06.1996
		US 2001045566 A	29.11.2001
		US 6445012 B	03.09.2002
		DE 69614949 T	04.04.2002
		US 2003006456 A	09.01.2003
		US 6867437 B	15.03.2005
		US 2003201455 A	30.10.2003
		US 6897493 B	24.05.2005
		DE 69627215 T	18.12.2003
		US 6693310 B	17.02.2004
US 2005062073 A	24.03.2005		
US 7253031 B	07.08.2007		
DE 69633310 T	15.09.2005		
DE 69634837 T	22.12.2005		

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/ ES 2009/070043

Patent document cited in the search report	Publication date	Patent family member(s)	Publication date
		JP 2006080551 A	23.03.2006

CLASSIFICATION OF SUBJECT MATTER

H01L 29/732 (2006.01)

H03K 17/08 (2006.01)

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional N°
PCT/ ES 2009/070043

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

Ver hoja adicional

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H01L, H03K

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, INSPEC

C. DOCUMENTOS CONSIDERADOS RELEVANTES

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones N°
Y	TOKUDA, N.; KANEDA, M. & MINATO, T.: "An ultra-small isolation area for 600V class Reverse Blocking IGBT with Deep Trench Isolation process (TI-RB-IGBT)". Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs. Kitakyushu, Japón. Junio de 2004. Páginas 129-132.	1, 2, 5, 6
Y	US 6103578 A (UENISHI, A. et al.) 15.08.2000, resumen; columna 4, línea 54 - columna 5, línea 33; columna 10, líneas 22-27; columna 13, líneas 14-29, 60-67; figuras 8, 23-26.	1, 2, 5, 6
A	US 2005/0042830 A1 (BLANCHARD, R.) 24.02.2005, resumen; párrafos [0014]-[0016], [0021]-[0028], [0030], [0033]-[0034]; figuras 1, 3-4d.	1-3, 5, 6
A	EP 1030372 A2 (MITSUBISHI DENKI KK) 23.08.2000.	

En la continuación del Recuadro C se relacionan otros documentos Los documentos de familias de patentes se indican en el Anexo

* Categorías especiales de documentos citados:	"T" documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.
"A" documento que define el estado general de la técnica no considerado como particularmente relevante.	"X" documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.
"E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.	"Y" documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.
"L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).	"&" documento que forma parte de la misma familia de patentes.
"O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.	
"P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.	

Fecha en que se ha concluido efectivamente la búsqueda internacional.

25.Junio.2009 (25.06.2009)

Fecha de expedición del informe de búsqueda internacional

26 de Junio de 2009 (26/06/2009)

Nombre y dirección postal de la Administración encargada de la búsqueda internacional O.E.P.M.

Paseo de la Castellana, 75 28071 Madrid, España.
N° de fax 34 91 3495304

Funcionario autorizado

O. González Peñalba

N° de teléfono +34 91 349 54 75

INFORME DE BÚSQUEDA INTERNACIONAL

Información relativa a miembros de familias de patentes

Solicitud internacional N°
PCT/ES 2009/070043

Documento de patente citado en el informe de búsqueda	Fecha de Publicación	Miembro(s) de la familia de patentes	Fecha de Publicación		
US 6103578 A	15.08.2000	DE 19736981 AC	20.08.1998		
		JP 10223896 A	21.08.1998		
		JP 3938964 B	27.06.2007		
		US 6040600 A	21.03.2000		
			21.03.2000		
US 2005042830 A	24.02.2005	US 6576516 B	10.06.2003		
		WO 03058684 A	17.07.2003		
		AU 2002359889 A	24.07.2003		
		US 2003203552 A	30.10.2003		
		US 6794251 B	21.09.2004		
		EP 1476894 A	17.11.2004		
		EP 20020794456	30.12.2002		
		US 7224027 B	29.05.2007		
		CN 1610974 A	27.04.2005		
		CN 100355086 C	12.12.2007		
		JP 2005514787 T	19.05.2005		
		TW 270208 B	01.01.2007		
		EP 1030372 AB	23.08.2000	EP 0756330 AB	29.01.1997
				EP 19960109389	12.06.1996
CN 1142688 A	12.02.1997				
CN 1052342 C	10.05.2000				
JP 9139510 A	27.05.1997				
JP 3850054 B	29.11.2006				
KR 100214207 B	02.08.1999				
CN 1226751 A	25.08.1999				
CN 1236499 C	11.01.2006				
US 5977570 A	02.11.1999				
EP 20000107885	12.06.1996				
EP 1030373 A	23.08.2000				
EP 20000107897	12.06.1996				
US 6265735 B	24.07.2001				
EP 1154491 AB	14.11.2001				
EP 20010117378	12.06.1996				
EP 1158582 AB	28.11.2001				
EP 20010117369	12.06.1996				
US 2001045566 A	29.11.2001				
US 6445012 B	03.09.2002				
DE 69614949 T	04.04.2002				
US 2003006456 A	09.01.2003				
US 6867437 B	15.03.2005				
US 2003201455 A	30.10.2003				
US 6897493 B	24.05.2005				
DE 69627215 T	18.12.2003				
US 6693310 B	17.02.2004				
US 2005062073 A	24.03.2005				
US 7253031 B	07.08.2007				
DE 69633310 T	15.09.2005				
DE 69634837 T	22.12.2005				

INFORME DE BÚSQUEDA INTERNACIONAL

Información relativa a miembros de familias de patentes

Solicitud internacional N°

PCT/ES 2009/070043

Documento de patente citado en el informe de búsqueda	Fecha de Publicación	Miembro(s) de la familia de patentes	Fecha de Publicación
		JP 2006080551 A	23.03.2006

CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

H01L 29/732 (2006.01)

H03K 17/08 (2006.01)