(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad Intelectual
Oficina internacional

(43) Fecha de publicación internacional
3 de enero de 2013 (03.01.2013)

WIPO | PCT

(10) Número de Publicación Internacional
WO 2013/001131 A1

(51) **Clasificación Internacional de Patentes**: *H01L 23/00* (2006.01)

(21) **Número de la solicitud internacional**: PCT/ES2012/070484

(22) **Fecha de presentación internacional**: 29 de junio de 2012 (29.06.2012)

(25) **Idioma de presentación**: español

(26) **Idioma de publicación**: español

(30) **Datos relativos a la prioridad**:
P201131109 30 de junio de 2011 (30.06.2011) ES

(71) **Solicitante** *(para todos los Estados designados salvo US)*: **CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS (CSIC)** [ES/ES]; Serrano, 117, E-28006 Madrid (ES).

(72) **Inventores; e**

(75) **Inventores/Solicitantes** *(para US solamente)*: **HUERTAS DÍAZ, José Luis** [ES/ES]; Instituto de Microelectrónica de Sevilla, E-41092 Sevilla (ES). **BARRAGÁN ASIÁN, Manuel José** [ES/ES]; Instituto de Microelectrónica de Sevilla, E-41092 Sevilla (ES).

(74) **Mandatario**: **UNGRIA LÓPEZ, Javier**; Avenida Ramón y Cajal, 78, E-28043 Madrid (ES).

(81) **Estados designados** *(a menos que se indique otra cosa, para toda clase de protección nacional admisible)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) **Estados designados** *(a menos que se indique otra cosa, para toda clase de protección regional admisible)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, RU, TJ, TM), europea (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Continúa en la página siguiente]

(54) **Title**: METHOD AND SYSTEM FOR TESTING INTEGRATED RADIO-FREQUENCY CIRCUITS AT THE WAFER LEVEL AND THE USE THEREOF

(54) **Título** : MÉTODO Y SISTEMA DE TESTADO DE CIRCUITOS INTEGRADOS DE RADIOFRECUENCIA A NIVEL DE OBLEA Y SU USO

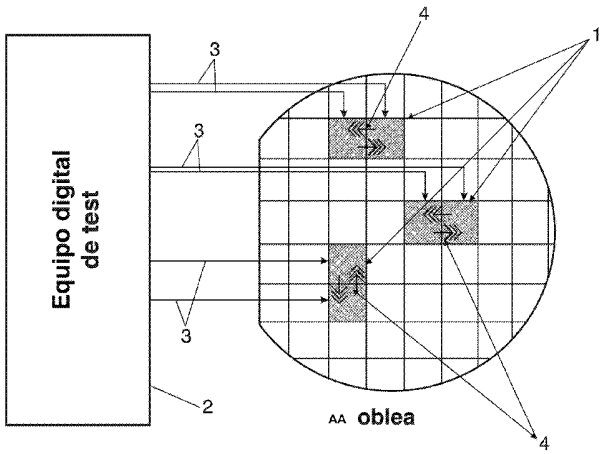

FIG. 1

2 Digital test apparatus
AA wafer

(57) **Abstract**: The main objective of this invention is to provide a system and a reliable and rapid method for rejecting defective integrated transceivers at the wafer level by establishing wireless links between different circuits in the wafer such that the signals needed to test a particular transceiver are provided or read by another one of the transceivers in the same wafer. For this purpose, the system uses a low-frequency digital test apparatus which at least comprises two test needles for sending, receiving and comparing test data sequences which are interchanged between the test apparatus and the integrated circuits in the wafer.

(57) **Resumen**: El objetivo principal de este invento es proporcionar un sistema y un método fiable y rápido para descartar transceptores integrados defectuosos a nivel de oblea mediante el establecimiento de enlaces inalámbricos entre diferentes circuitos en la oblea, de tal forma que las señales necesarias para testar un determinado transceptor son proporcionadas o leídas por otro de los transceptores de la misma oblea. El sistema emplea para ello, un equipo de test digital de baja frecuencia que al menos comprende dos agujas de test para el envío, recepción y comparación de unas secuencias de datos de test que se intercambian entre el equipo de test y los circuitos integrados de la oblea.

WO 2013/001131 A1

Publicada:

— *con informe de búsqueda internacional (Art. 21(3))*

— *antes de la expiración del plazo para modificar las reivindicaciones y para ser republicada si se reciben modificaciones (Regla 48.2(h))*

MÉTODO Y SISTEMA DE TESTADO DE CIRCUITOS INTEGRADOS DE RADIOFRECUENCIA A NIVEL DE OBLEA Y SU USO

OBJETO DE LA INVENCIÓN

La presente invención, tal y como se expresa en el enunciado de esta memoria descriptiva se refiere a un método y un sistema de testado de circuitos integrados de radiofrecuencia a nivel de oblea, es decir, circuitos integrados que se integran precisamente en obleas electrónicas. Además la presente invención se refiere también al uso del mencionado método y sistema.

La demanda creciente de sistemas on-chip con capacidad para comunicaciones inalámbricas ha llevado a un primer plano el problema de testar estos sistemas de manera eficiente. El test de sistemas de radiofrecuencia se ha realizado tradicionalmente mediante la verificación de especificaciones. Estos procedimientos son costosos en términos de recursos de test. Este invento intenta facilitar la identificación rápida de circuitos o transceptores integrados defectuosos, haciendo posible la identificación a nivel de oblea, y proporcionando además información que se puede usar para mejorar el rendimiento del proceso de fabricación. Las consideraciones económicas son sólo una de las ventajas ofrecidas por el invento presentado. Otras ventajas incluyen un aumento de la detección de fallos, un control mejorado del proceso de fabricación, capacidades diagnósticas, una reducción en la duración del ciclo de testado de un circuito integrado, y una simplificación del desarrollo de los programas de test.

Así pues, la invención se basa en explotar la capacidad de establecer comunicaciones inalámbricas entre los dispositivos bajo test (DUT, en sus siglas en inglés)

a nivel de oblea. El objetivo de este test es proporcionar un método rápido y fiable para identificar transceptores defectuosos. Tal método de test reduciría en gran medida el coste asociado al test de producción, dado que esta detección temprana de fallos evita ejecutar una fracción importante de test tradicionales, ahorra costes de empaquetado del circuito integrado, y evita el uso de costosos equipos de test de RF dedicados. Adicionalmente, la detección de un dispositivo defectuoso se puede usar para activar circuitería de test específica (circuitería de autotest interno, o BIST en sus siglas inglesas) para diagnóstico, y además la información obtenida en los test se puede usar para guiar la optimización del proceso de fabricación y para mejorar el rendimiento del proceso.

ANTECEDENTES DE LA INVENCIÓN

Actualmente, sistemas electrónicos completos muy complejos se integran en un solo circuito integrado. La mayor parte de estos sistemas es circuitería digital, que usualmente comprende procesadores multinúcleo, memorias, procesadores dedicados de señal, etc. Se pueden encontrar múltiples ejemplos en aplicaciones de consumo como teléfonos móviles, reproductores de DVD, reproductores multimedia, etc.

Desde el punto de vista de un ingeniero de test, testar un subsistema de RF incluido en un sistema on-chip (SoC) representa un desafío importante. La dificultad está en que cada bloque de radiofrecuencia (RF) tiene un conjunto determinado de especificaciones, que usualmente requieren estrategias de test específicas para su medida. Se puede decir que el test de RF ha heredado todas las dificultades del test analógico, pero añadiendo el problema de manejar señales de muy alta frecuencia. Este

marco de trabajo lleva al mismo problema fundamental para los tests analógicos y de RF: testar estos sistemas significa medir funcionalmente un conjunto de especificaciones, mientras que los tests basados en fallos, muy exitosos en el dominio digital, son imposibles de estandarizar en el campo de radiofrecuencia, dado que cada circuito requiere un modelo de fallo específico. Reducir la complejidad y el coste del test de circuitos de radiofrecuencia es todavía una línea de investigación abierta. Trabajos recientes en esta área incluyen modelado de defectos y diagnóstico de fallos, alternate test, Diseño para Test (DfT) y técnicas BIST, etc (M. J. Barragán, G. Huertas, A. Rueda, J. L. Huertas, "(Some) open problems to incorporate BIST in complex heterogeneous itegrated systems" in Proceedings of the Fifth IEEE International Symposium on Electronic Design, Test and Application (DELTA), 2010, pp. 8-13).

Los métodos tradicionales para test de circuitos de RF están basados en especificaciones, es decir, comprueban que algunas o todas las características del sistema están de acuerdo con las especificaciones de diseño. Esta aproximación requiere la aplicación y/o adquisición de señales de alta frecuencia, para lo cual es necesario emplear equipos de test de alta frecuencia y, para dispositivos integrados, es necesario también disponer de un acceso adecuado a los nudos internos del sistema. No obstante, el incremento de la frecuencia de operación de estos sistemas y el aumento de la capacidad de integración hacen muy difícil cumplir con estos requerimientos. El acceso a nodos internos para test es normalmente imposible, e incluso cuando estos nodos son alcanzables puede haber pérdidas importantes de señal en el transporte de éstas hacia o desde el exterior debido a

su alta frecuencia. Las soluciones de test BIST serían muy interesantes en este sentido. Las manipulaciones de señal serían internas, eliminando el problema del transporte. Sin embargo, la generación interna de estímulos de test de RF es complicada. Para mitigar este problema se han propuesto las soluciones loopback, que consisten en reinyectar la salida del transmisor al camino de recepción dentro del transceptor. Esto permite que el conversor D/A del transmisor cargue al conversor A/D del receptor, completando un test completamente digital. No obstante, el esquema loopback implica perturbar el funcionamiento normal del sistema: para acomodar la salida del transmisor a la entrada del receptor es necesario desconectar algunos componentes del transmisor del camino de señal y/o introducir un atenuador a la entrada del receptor.

Adicionalmente hay una gran demanda de soluciones de test KGD (known-good-die) que se puedan implementar a nivel de oblea, debido principalmente al incremento de coste que supone el empaquetado de circuitos defectuosos.

DESCRIPCIÓN DE LA INVENCIÓN

Para lograr los objetivos y evitar los inconvenientes indicados anteriormente, la invención consiste en un método y un sistema para llevar a cabo el test de circuitos integrados que forman parte de obleas electrónicas y el uso del método y sistema.

El objetivo principal de este invento es proporcionar un método fiable y rápido para descartar transceptores integrados defectuosos a nivel de oblea mediante el establecimiento de enlaces inalámbricos entre diferentes dados en la oblea, de tal forma que las señales necesarias para testar un determinado transceptor son proporcionadas o leídas por otro de los transceptores

de la misma oblea. Estos enlaces inalámbricos permiten un test completo a nivel de sistema de las funciones de transmisión y recepción para cada dispositivo en la oblea, sin la necesidad de costosos equipos de test de RF para generar o leer señales de alta frecuencia, y sin perturbar el funcionamiento normal de los dispositivos bajo test. La invención que se reporta reduce los costes asociados al test de producción, y la detección temprana de circuitos defectuosos evita ejecutar una fracción importante de test tradicionales. Tiene también la ventaja de detectar fallos a nivel de oblea, de forma que se reducen los costes de empaquetado, que usualmente suponen aproximadamente el 25% del coste total del sistema.

La posibilidad de testar la funcionalidad de un transceptor a nivel de oblea proporciona además información sobre el proceso de fabricación. Los resultados del test se pueden mapear sobre la oblea para obtener distribuciones de fallo intra-oblea e inter-oblea. Estas distribuciones se pueden usar para detectar y corregir desviaciones del proceso sistemáticas o no sistemáticas, o para guiar otras estrategias de test como las técnicas de screening.

La detección de un transceptor defectuoso se puede usar también para activar funciones de test internas durante las operaciones de transmisión y recepción. De esta forma se pueden identificar los bloques internos defectuosos dentro del transceptor.

Así en una primera realización de la invención, el método de testado de circuitos integrados de radiofrecuencia a nivel de oblea objeto de la presente invención hace uso de un equipo de test digital de baja frecuencia que al menos comprende dos agujas de test. Las

dos agujas, que denominaremos como primera aguja de test y segunda aguja de test, son para enviar y recibir unas secuencias de datos de test que se intercambian entre el equipo de test y los circuitos integrados de una oblea electrónica. Previamente se habrá seleccionado por parte de una cabeza de test integrada en el equipo de test al menos una pareja de circuitos integrados de la oblea electrónica. El método comprende las siguientes fases:

i) enviar desde la primera aguja de test una secuencia de datos de test hasta un primer circuito integrado de la al menos una pareja previamente seleccionada;

ii) almacenar la secuencia de datos de test en un registro de datos del primer circuito integrado;

iii) enviar desde el primer circuito integrado la secuencia de datos de test hasta un segundo circuito integrado de la pareja previamente seleccionada;

iv) almacenar la secuencia de datos de test en un registro de datos del segundo circuito integrado;

v) enviar desde el segundo circuito integrado la secuencia de datos de test hasta el equipo digital de test a través de la segunda aguja de test;

vi) comparar la secuencia de datos enviada por el equipo de test en la fase i) con la secuencia de datos recibida por el equipo de test en la fase v);

vii) enviar desde la segunda aguja de test una secuencia de datos de test hasta el segundo circuito integrado;

viii) almacenar la secuencia de datos de test en el registro de datos del segundo circuito;

ix) enviar desde el segundo circuito integrado la secuencia de datos de test hasta el primer circuito integrado;

x) almacenar la secuencia de datos de test en el registro de datos del primer circuito;

xi) enviar desde el primer circuito integrado la secuencia de datos hasta el equipo de test a través de la primera aguja de test; y,

xii) comparar la secuencia de datos de test enviada por el equipo de test en la fase vii) con la secuencia de datos recibida por el equipo de test en la fase xi).

En otra realización de la invención, cuando al comparar las secuencias de datos enviada y recibida por el equipo de test en las fases vi) y xii) de la primera realización de la invención la secuencia de datos de test es la misma, el método comprende:

- etiquetar la al menos una pareja de circuitos integrados como correcta; y,
- almacenar las posiciones de la al menos una pareja de circuitos integrados.

En otra realización de la invención, cuando al comparar las secuencias de datos enviada y recibida por el equipo de test en las fases vi) y xii) de la primera realización de la invención la secuencia de datos de test es diferente, el método comprende:

- etiquetar la al menos una pareja de circuitos integrados como errónea; y,
- almacenar las posiciones de la al menos una pareja de circuitos integrados.

En otra realización de la invención cuando se ha etiquetado la al menos una pareja de circuitos integrados como correcta, cada uno de los dos circuitos integrados

que forman la al menos una pareja de circuitos integrados se empareja con un circuito integrado de la vecindad y se lleva a cabo el procedimiento descrito en la primera realización de la invención.

Así en otra realización de la invención, una vez se tiene un circuito integrado que se sabe que funciona correctamente y se ha seleccionado otro circuito integrado de su vecindad, se aplica nuevamente el procedimiento descrito en la primera realización de la invención y cuando al comparar las secuencias de datos en las fases vi) y xii) la secuencia de datos de test enviada y recibida por el equipo de test es la misma, el procedimiento comprende:

- etiquetar el circuito integrado de la vecindad como correcto; y,
- almacenar la posición del circuito integrado de la vecindad.

Por otro lado, en otra realización de la invención, una vez se tiene un circuito integrado que se sabe que funciona correctamente y se ha seleccionado otro circuito integrado de su vecindad, se aplica nuevamente el procedimiento descrito en la primera realización de la invención y cuando al comparar las secuencias de datos en las fases vi) y xii) la secuencia de datos de test enviada y recibida por el equipo de test es diferente, el procedimiento comprende:

- etiquetar el circuito integrado de la vecindad como erróneo; y,
- almacenar la posición del circuito integrado de la vecindad.

Este procedimiento de emparejar circuitos integrados que se sabe que funcionan correctamente con otros circuitos integrados de su vecindad, se repite hasta que

se ha testado la totalidad de los circuitos integrados que componen la oblea obteniéndose así un mapa completo con los circuitos o transductores que no funcionan correctamente.

En otra realización de la invención, el método comprende monitorizar el funcionamiento de cada módulo que integra el circuito integrado mediante unos sensores de test convencionales integrados en las obleas.

En otra realización de la invención, cuando cada uno de los circuitos integrados integra una antena de test, el envío y recepción de la secuencia de datos de test de las fases iii) y ix) se realiza directamente entre las antenas de test del primer y segundo circuito integrado.

En otra realización de la invención, cuando cada uno de los circuitos integrados no integra una antena de test, el envío y recepción de la secuencia de datos de test de las fases iii) y ix) se realiza mediante unas antenas de test externas posicionadas por la cabeza de test sobre el primer y el segundo circuito integrado.

Por otra parte, la presente invención también tiene por objeto un sistema de testado de circuitos integrados de radiofrecuencia a nivel de oblea. Este sistema hace uso de un equipo de test digital de baja frecuencia que al menos comprende dos agujas de test, una primera aguja de test y una segunda aguja de test para el envío y recepción de unas secuencias de datos de test entre el equipo de test y los circuitos integrados de una oblea y de al menos una oblea electrónica compuesta de al menos dos circuitos integrados. Adicionalmente, el sistema al menos comprende:

- medios de transmisión de las secuencias de datos de test entre los circuitos integrados; y,

- un registro de datos integrado en cada circuito integrado donde se almacena la secuencia de datos de test que intercambian los al menos dos circuitos integrados y el equipo de test de baja frecuencia.

En otra realización de la invención, los medios de transmisión de las secuencias de datos de test entre los circuitos integrados comprenden estar seleccionados entre una antena de test integrada en cada uno de los circuitos integrados y una antena externa integrada en la cabeza de test para cada uno de los circuitos integrados. Las antenas de test y las agujas de test son ambas depositadas por la cabeza de test sobre los circuitos en sus repectivas posiciones.

En otra realización de la invención, el sistema comprende sensores de test integrados junto con los circuitos integrados bajo test para monitorizar el funcionamiento de los bloques internos de dichos circuitos bajo test.

La presente invención también contempla el uso del dispositivo y procedimiento descrito anteriormente para la obtención de mapas de distribución de circuitos integrados erróneos, estando los mapas seleccionados entre un mapa de fallos inter-oblea y un mapa de fallos intra-oblea.

También se contempla el uso los mapas de distribución de circuitos integrados erróneos para la implementación de técnicas seleccionadas entre técnicas de screening Y técnicas de detección de desviaciones en el proceso de fabricación de las obleas. Estos mapas de distribución de circuitos integrados erróneos son útiles para determinar si existe alguna correlación entre la posición y el momento de fabricación de un circuito en cada oblea con la probabilidad de fallo de ese circuito. Si existe esta

correlación, se pueden emplear técnicas de screening para eliminar los circuitos probablemente defectuosos, y, paralelamente, se puede buscar cual es la causa de desviación del proceso de fabricación para corregirla, aumentando así el rendimiento del proceso. Si no existe esta correlación, los mapas sirven para monitorizar el rendimiento del proceso y su evolución en el tiempo, por lo que son útiles para detectar desviaciones en el proceso de fabricación e intentar corregirlas.

A modo de resumen, se describe en la presente memoria un test a nivel de sistema de transceptores integrados basado en explotar la capacidad de unos enlaces inalámbricos establecidos entre los circuitos integrados a nivel de oblea. Este test de RF se lleva a cabo con equipos de test digital de baja frecuencia. La antena de test que posibilita el enlace inalámbrico puede ser implementada on-chip o añadida a la cabeza del equipo de test. El procedimiento descrito permite la identificación de transceptores defectuosos integrados en sistemas on-chip complejos a nivel de línea de producción, antes del proceso de empaquetado de los chips. Además la operación del transceptor durante el test no es diferente de su operación normal. Se lleva a cabo un mapeo de los resultados del test en distribuciones de fallo inter-oblea e intra-oblea lo que permite una fácil identificación de chips defectuosos sin llevar a cabo un testado completo. Las distribuciones de fallos en los circuitos se pueden usar para guiar otras estrategias de test, como por ejemplo técnicas de screening. También se usan las distribuciones de fallos para detectar desviaciones del proceso de fabricación, ya sean éstas sistemáticas o no sistemáticas. Se pueden incluir funciones de test interno a los transceptores

para diagnóstico. Las señales de test de alta frecuencia son proporcionadas o leídas por otro de los transceptores en la misma oblea.

BREVE DESCRIPCIÓN DE LAS FIGURAS

Figura 1.- Muestra el esquema más general de la invención en el que el equipo de test digital testa 3 parejas de circuitos integrados en una oblea.

Figura 2.- Muestra un diagrama del método de testado objeto de la presente invención aplicado a una pareja de circuitos integrados, en el que ambos circuitos comprenden antenas de test.

Figura 3.- Muestra un diagrama de bloques detallado de una pareja de circuitos integrados bajo test.

Figura 4.- Muestra ejemplos de mapas de distribución de circuitos integrados erróneos en obleas.

DESCRIPCIÓN DE VARIOS EJEMPLOS DE REALIZACIÓN DE LA INVENCIÓN

Seguidamente se realizan, con carácter ilustrativo y no limitativo, una descripción de varios ejemplos de realización de la invención, haciendo referencia a la numeración adoptada en las figuras.

La figura 1 representa un esquema general de la estrategia de test propuesta. Los circuitos integrados de la oblea se agrupan por parejas (1), y son controlados digitalmente por un equipo de test digital de baja frecuencia (2). Concretamente en esta realización el equipo digital de test (2) dispone de 3 parejas de agujas de test (3) estando encargadas cada una de las parejas de agujas (3) del intercambio de la secuencia de test con cada una de las parejas de circuitos integrados (1). En esta realización los circuitos integrados que componen la oblea disponen de antenas de test integradas para realizar conexiones inalámbricas (4) entre ellos.

La Figura 2 muestra un diagrama de bloques del esquema de test propuesto para una de estas parejas bajo test, compuesta en la figura por los circuitos integrados Die 1 (5) y Die 2 (6). En primer lugar, el equipo de test digital (2) escribe una secuencia digital optimizada al registro REG1 (7). Esta secuencia digital es transmitida por el transceptor T1 (8) (que incorpora una antena de test) y recibida por el transceptor T2 (9) (que también incorpora una antena de test). La señal recibida es almacenada en el registro REG2 (10) y comparada con la secuencia original para comprobar la funcionalidad de las funciones de transmisión-recepción. A continuación, se invierte el proceso (T2 (9) transmite y T1 (8) escucha) para completar el test. Si la secuencia recibida es idéntica a la enviada, la funcionalidad de ambos transceptores ha sido correcta. Múltiples parejas de test se pueden probar en paralelo para acelerar el proceso. El número máximo de parejas de test está limitado por el número de canales de transmisión disponibles y por el número de agujas de test en la cabeza del equipo de test digital.

La figura 3 muestra el esquema de test completo para una determinada pareja bajo test en una oblea, incluyendo recursos on-chip y externos. La operación del sistema no es diferente de su operación normal, por lo que muy poca circuitería se ha añadido on-chip. Básicamente, son necesarios registros digitales (20,21) para almacenar las secuencias de test, y antenas de test (22,23) para realizar la comunicación inalámbrica. Estas antenas de test (22,23) pueden ser integradas on-chip o añadidas a la cabeza del equipo de test. En cualquier caso, la señal tiene que viajar sólo unos cuantos milímetros (tamaño típico de un dado) en una dirección fija (filas y/o

columnas en la oblea), lo que simplifica la implementación de la antena. El equipo de test digital externo (24) proporciona la alimentación (29) y el reloj de referencia (27) (baja frecuencia) a las parejas de circuitos integrados bajo test, fija el canal de comunicación adecuado para cada circuito (25,26), y escribe/lee las secuencias de test intercambiadas. Finalmente, la información extraída se almacena en un ordenador convencional para su procesado.

Un ejemplo de realización del procedimiento objeto de la presente invención es el siguiente:

Paso1: Encontrar un conjunto de transceptores con funcionamiento correcto comprobado (Known Good Transceivers, KGTs por sus siglas en inglés).

En primer lugar, la cabeza de test selecciona aleatoriamente un número de parejas de test en la oblea. El número de parejas bajo test simultáneas se determina por el número de canales de comunicación disponibles y por el número de agujas de test disponibles en la cabeza del equipo de test. Cada pareja tiene que transmitir/recibir en un canal diferente para evitar interferencias, y cada circuito necesita al menos dos agujas para alimentación (29), una para el reloj (27) de referencia de baja frecuencia (necesario para el sintetizador de frecuencia), y una para entrada/salida digital (28) para cargar/leer la secuencia de test y fijar el canal de transmisión /recepción deseado. La estructura de esta secuencia digital es:

$$\underbrace{a_1 a_2 \ldots \ldots \ldots a_N}_{\text{datos de test (N bits)}} \quad \underbrace{c_1 c_2 \ldots c_k}_{\substack{\text{Selección de} \\ \text{canal} \\ \text{(k bits)}}} \quad \underbrace{S}_{\substack{\text{selección de} \\ \text{transmisión/recepción} \\ \text{(1 bit)}}}$$

Cada pareja de transceptores se prueba a nivel de sistema. Uno de los circuitos transmite en un determinado

canal mientras que el otro circuito de la pareja recibe en el mismo canal. En primer lugar, se escribe una secuencia digital optimizada al registro REGi (20) en el dado Die i (25). Esta secuencia puede contener todas las transiciones significativas entre símbolos para testar el enlace inalámbrico (el número y la definición de los símbolos depende del protocolo de comunicaciones implementado en el transceptor). Esta secuencia de test es transmitida al dado Die i+1 (26). La secuencia recibida se almacena en el registro REG i+1 (21). El contenido de los registros es leído por el equipo de test digital (24) y comparado para comprobar la funcionalidad de la transmisión-recepción a nivel de sistema. Si la comparación es positiva el proceso se repite a la inversa, es decir, el circuito Die i+1 (26) transmite mientras que Die i (25) recibe. Si la segunda comparación también es positiva, entonces los circuitos Die i (25) y Die i+1 (26) se etiquetan como KGT, y se almacenan sus posiciones en la oblea.

Paso 2: Detectar transceptores defectuosos

Una vez que se ha obtenido un conjunto de KGTs, cada uno de los KGT se enlaza de forma inalámbrica a uno de los circuitos no testados a su alrededor y se repite el proceso descrito en el "paso 1" con la pareja resultante. Si el test falla, el circuito enlazado con el KGT se etiqueta como defectuoso y se almacena su posición en la oblea. Si el test tiene éxito, el circuito enlazado con el KGT se etiqueta como KGT y puede ser usado para testar otros dados en su vecindad.

Paso 3: Mapeo y procesado de la información de fallos

El proceso descrito en los pasos 1 y 2 continúa hasta que todos los circuitos integrados en la oblea han

sido testados. Seguidamente, el proceso se repite con las siguientes obleas. La información de fallo obtenida se puede mapear en distribuciones de fallo intra-oblea e inter-oblea. Un análisis estadístico de estas distribuciones para encontrar correlaciones entre el resultado del test, la posición en la oblea y el momento de fabricación ofrece información valiosa para detectar y corregir desviaciones en el proceso de fabricación. La figura 4 muestra ejemplos de estas distribuciones para el caso de desviaciones sistemáticas y no sistemáticas. Adicionalmente, estos mapas se pueden usar para guiar otras estrategias de test, como por ejemplo las técnicas de screening, lo que proporcionaría un mejor rendimiento del proceso.

Paso 4: (opcional): activar estructuras de test internas en circuitos defectuosos para diagnóstico

El test a nivel de sistema realizado en los pasos 1 y 2 comprueba la funcionalidad de la transmisión y recepción de datos en el transceptor, pero si el test falla, no proporciona información para identificar qué elemento en el transceptor está fallando. Se pueden añadir funciones de diagnóstico incluyendo sensores de test on-chip para monitorizar el funcionamiento de cada uno de los bloques internos mostrados en la figura 3. Son sobradamente conocidos en el estado de la técnica múltiples implementaciones para estos sensores. El dado defectuoso se puede enlazar a uno de lo KGT para proporcionar el estímulo de test necesario, o leer la respuesta, mientras que la salida digital de los sensores de test se puede adquirir con el equipo de test digital externo para diagnosticar los elementos defectuosos.

REIVINDICACIONES

1.- Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, que hace uso de un equipo de test digital de baja frecuencia que al menos comprende dos agujas de test, una primera aguja de test y una segunda aguja de test, para enviar y recibir unas secuencias de datos de test entre el equipo de test y los circuitos integrados de una oblea electrónica, y habiéndose seleccionado previamente por parte de una cabeza de test integrada en el equipo de test al menos una pareja de circuitos integrados de la oblea electrónica, se caracteriza porque comprende las siguientes fases:

i) enviar desde la primera aguja de test una secuencia de datos de test hasta un primer circuito integrado de la al menos una pareja previamente seleccionada;

ii) almacenar la secuencia de datos de test en un registro de datos del primer circuito integrado;

iii) enviar desde el primer circuito integrado la secuencia de datos de test hasta un segundo circuito integrado de la pareja previamente seleccionada;

iv) almacenar la secuencia de datos de test en un registro de datos del segundo circuito integrado;

v) enviar desde el segundo circuito integrado la secuencia de datos de test hasta el equipo digital de test a través de la segunda aguja de test;

vi) comparar la secuencia de datos enviada por el equipo de test en la fase i) con la secuencia de

datos recibida por el equipo de test en la fase v);

vii) enviar desde la segunda aguja de test una secuencia de datos de test hasta el segundo circuito integrado;

viii) almacenar la secuencia de datos de test en el registro de datos del segundo circuito;

ix) enviar desde el segundo circuito integrado la secuencia de datos de test hasta el primer circuito integrado;

x) almacenar la secuencia de datos de test en el registro de datos del primer circuito;

xi) enviar desde el primer circuito integrado la secuencia de datos hasta el equipo de test a través de la primera aguja de test; y,

xii) comparar la secuencia de datos de test enviada por el equipo de test en la fase vii) con la secuencia de datos recibida por el equipo de test en la fase xi).

2.- Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 1, caracterizado porque comprende

- etiquetar la al menos una pareja de circuitos integrados como correcta; y,
- almacenar las posiciones de la al menos una pareja de circuitos integrados,

cuando al comparar las secuencias de datos enviada y recibida por el equipo de test en las fases vi) y xii), la secuencia de datos de test es la misma.

3.- Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 1, caracterizado porque comprende:

- etiquetar la al menos una pareja de circuitos integrados como errónea; y,
- almacenar las posiciones de la al menos una pareja de circuitos integrados.

cuando al comparar las secuencias de datos enviada y recibida por el equipo digital de test en las fases vi) y xii), la secuencia de datos es diferente.

4.- Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 2, caracterizado porque cuando se ha etiquetado la al menos una pareja de circuitos integrados como correcta, cada uno de los dos circuitos integrados que forman la al menos una pareja de circuitos integrados se empareja con un circuito integrado de la vecindad y se lleva a cabo el procedimiento descrito en las reivindicación 1.

5.- Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 4, caracterizado porque comprende

- etiquetar el circuito integrado de la vecindad como correcto; y,
- almacenar la posición del circuito integrado de la vecindad,

cuando al comparar las secuencias de datos en las fases vi) y xii) la secuencia de datos de test enviada y recibida por el equipo de test es la misma.

6.- Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 4, caracterizado porque comprende

- etiquetar el circuito integrado de la vecindad como erróneo; y,
- almacenar la posición del circuito integrado de la vecindad,

cuando al comparar las secuencias de datos en las fases vi) y xii) la secuencia de datos de test enviada y recibida por el equipo de test es diferente.

7.- Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 1, caracterizado porque comprende monitorizar el funcionamiento de cada módulo que integra el circuito integrado mediante unos sensores de test convencionales integrados en las obleas.

8.- Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 1, caracterizado porque cuando cada uno de los circuitos integrados integra una antena de test, el envío y recepción de la secuencia de datos de test de las fases iii) y ix) se realiza directamente entre las antenas de test del primer y segundo circuito integrado.

9.-Método de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 1, caracterizado porque cuando cada uno de los circuitos integrados no integra una antena de test, el envío y recepción de la secuencia de datos de test de las fases iii) y ix) se realiza mediante unas antenas de test

externas posicionadas por la cabeza de test sobre el primer y el segundo circuito integrado.

10.- Sistema de testado de circuitos integrados de radiofrecuencia a nivel de oblea, que hace uso de un equipo de test digital de baja frecuencia que al menos comprende dos agujas de test, una primera aguja de test y una segunda aguja de test para el envío y recepción de unas secuencias de datos de test entre el equipo de test y los circuitos integrados de una oblea y de al menos una oblea electrónica compuesta de al menos dos circuitos integrados, caracterizado porque al menos comprende:

- medios de transmisión de las secuencias de datos de test entre los circuitos integrados; y,
- un registro de datos integrado en cada circuito integrado donde se almacena la secuencia de datos de test que intercambian los al menos dos circuitos integrados y el equipo de test de baja frecuencia.

11.- Sistema de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 10, caracterizado porque los medios de transmisión de las secuencias de datos de test entre los circuitos integrados comprenden estar seleccionados entre una antena de test integrada en cada uno de los circuitos integrados y una antena externa integrada en la cabeza de test para cada uno de los circuitos integrados.

12.- Sistema de testado de circuitos integrados de radiofrecuencia a nivel de oblea, según la reivindicación 10, caracterizado porque comprende sensores de test integrados en la oblea para monitorizar el funcionamiento de unos bloques internos de la oblea.

13.- Uso del dispositivo y procedimiento descrito en una cualquiera de las reivindicaciones anteriores para la obtención de mapas de distribución de circuitos integrados erróneos, estando los mapas seleccionados entre un mapa de fallos inter-oblea y un mapa de fallos intra-oblea.

14.- Uso del dispositivo y procedimiento descrito en una cualquiera de las reivindicaciones 1 a 12, según la reivindicación 13, caracterizado porque comprende emplear los mapas de distribución de circuitos integrados erróneos para la implementación de técnicas seleccionadas entre técnicas de screening Y técnicas de detección de desviaciones en el proceso de fabricación de las obleas.

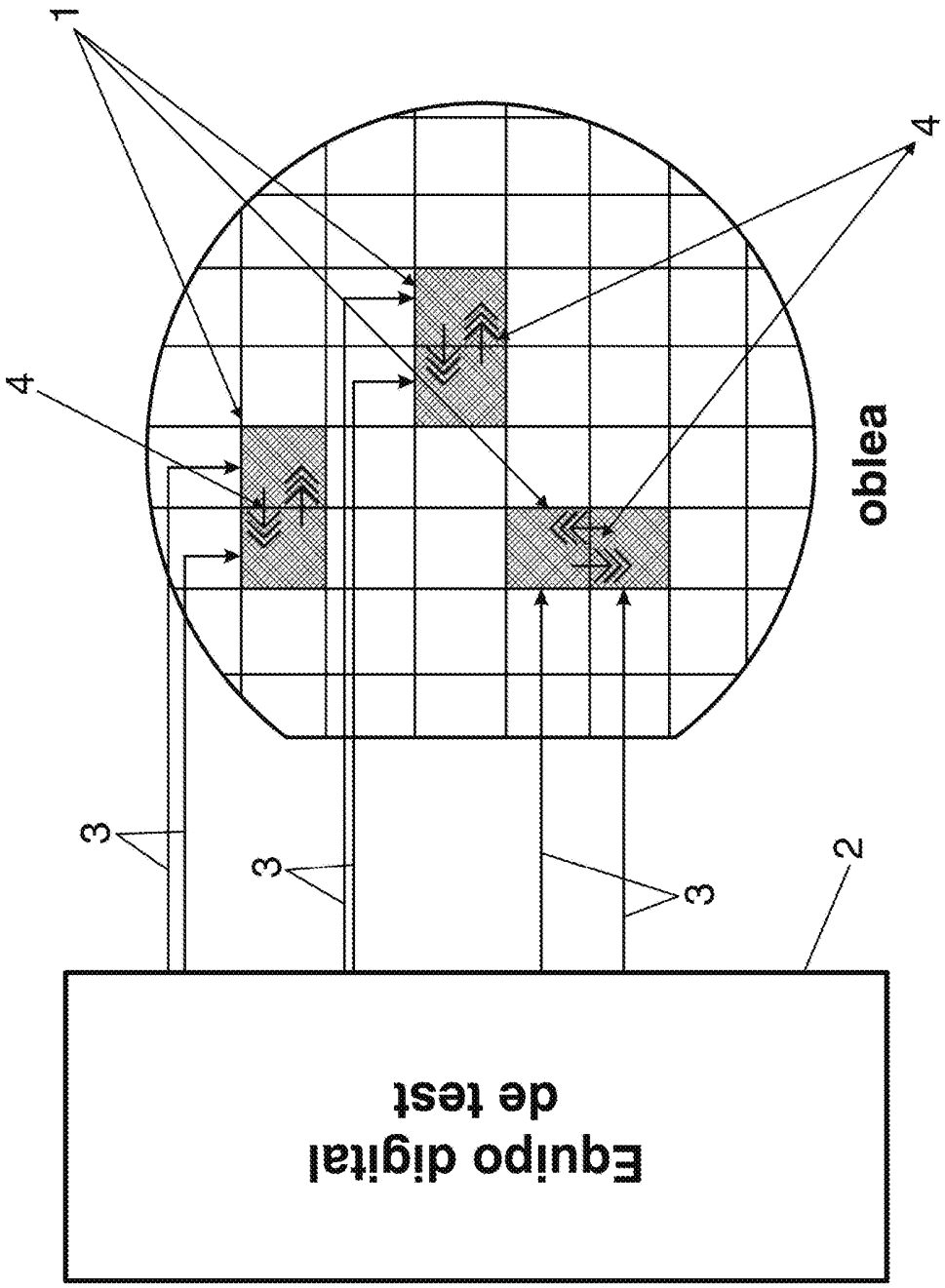

FIG. 1

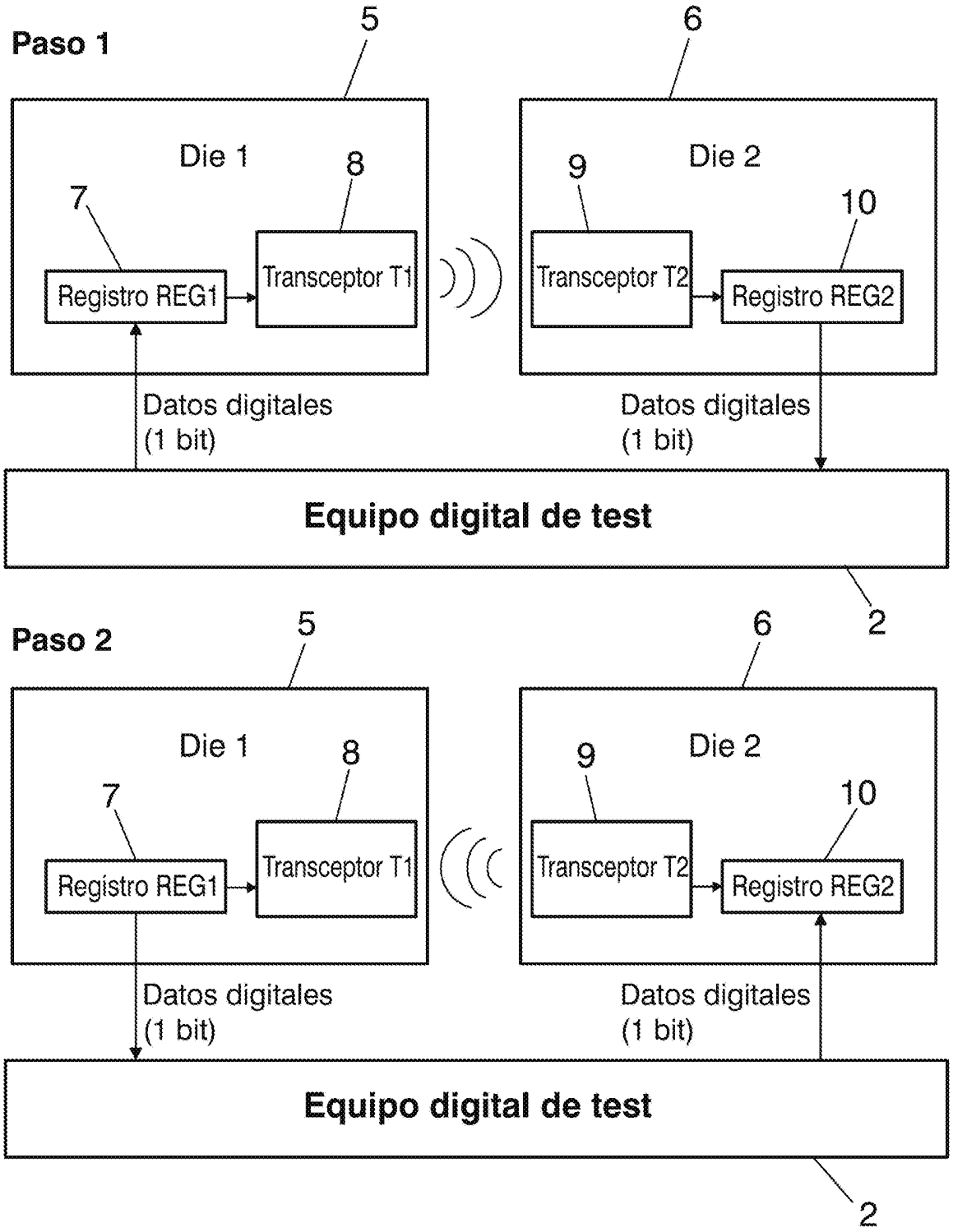
Paso 1
5
6
Die 1
8
7
Registro REG1
Transceptor T1
Die 2
9
10
Transceptor T2
Registro REG2
Datos digitales
(1 bit)
Datos digitales
(1 bit)
Equipo digital de test
2
Paso 2
5
6
Die 1
8
7
Registro REG1
Transceptor T1
Die 2
9
10
Transceptor T2
Registro REG2
Datos digitales
(1 bit)
Datos digitales
(1 bit)
Equipo digital de test
2

FIG. 2

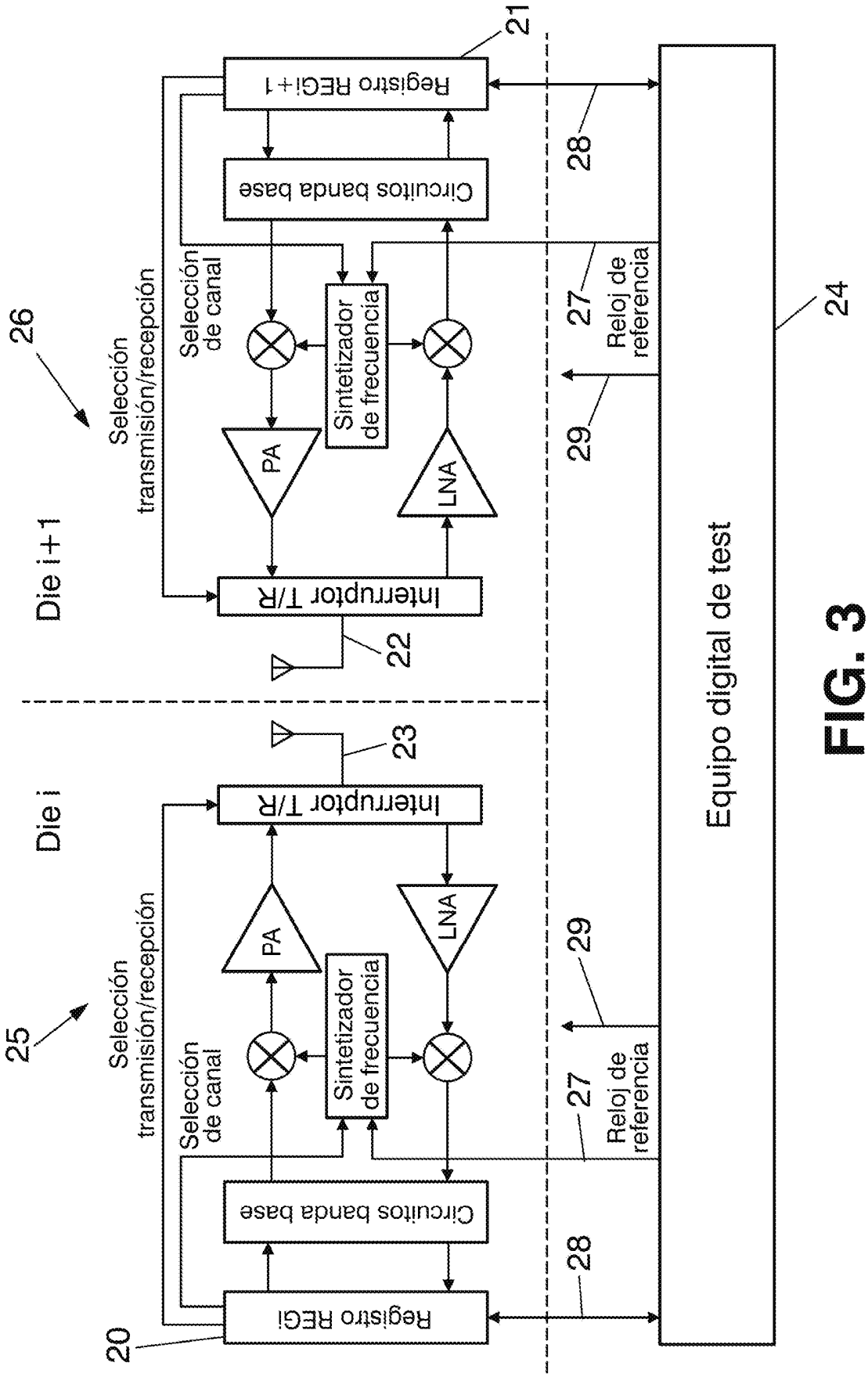
Registro REGi+1
21
Circuitos banda base
28
Selección de canal
Sintetizador de frecuencia
27
Reloj de referencia
26
Selección transmisión/recepción
PA
LNA
29
24
Interruptor T/R
Die i+1
22
Equipo digital de test
23
Interruptor T/R
Die i
PA
LNA
29
25
Selección transmisión/recepción
Selección de canal
Sintetizador de frecuencia
27
Reloj de referencia
Circuitos banda base
28
Registro REGi
20

FIG. 3

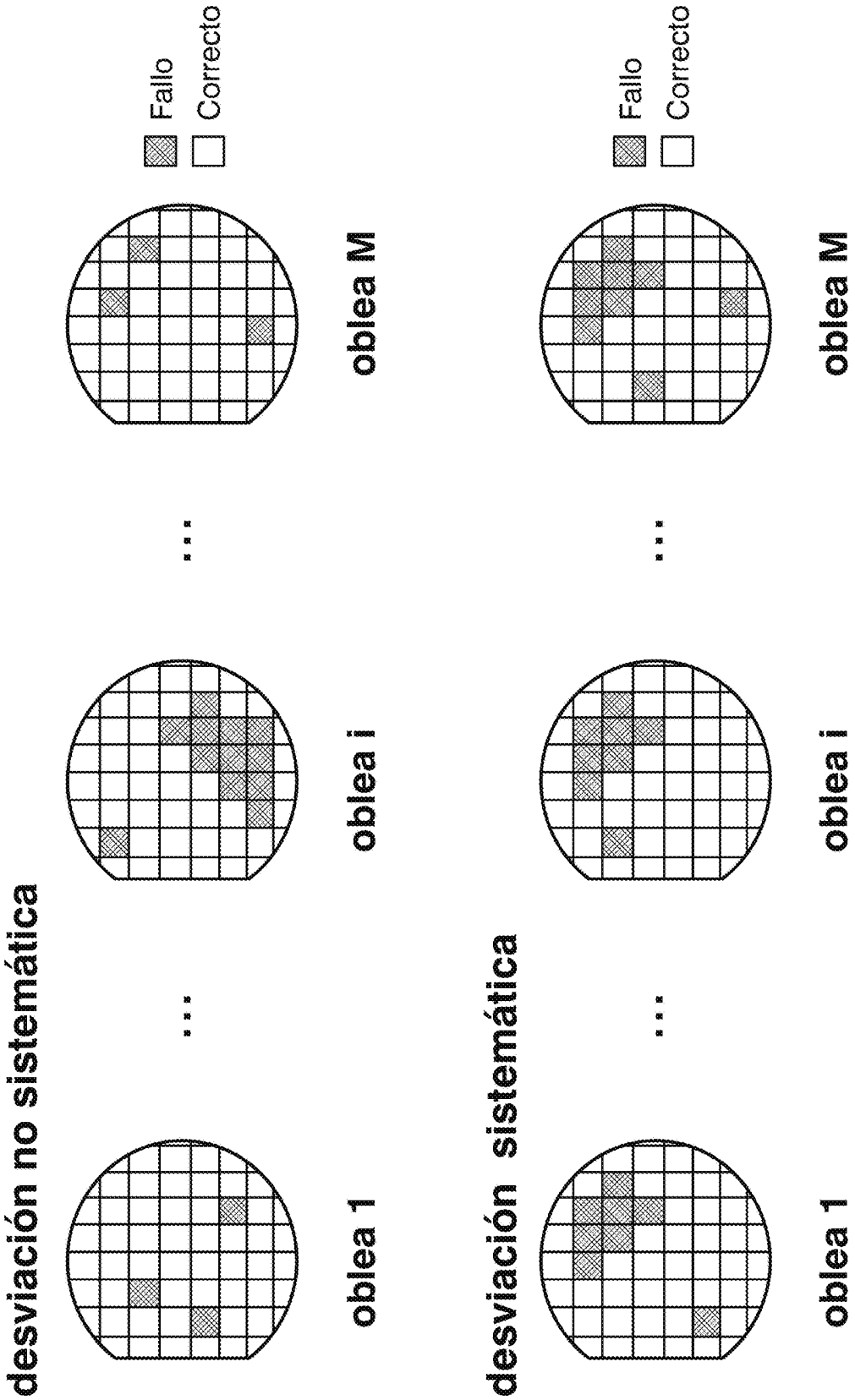
desviación no sistemática
oblea 1
...
oblea i
...
oblea M
Fallo
Correcto
desviación sistemática
oblea 1
...
oblea i
...
oblea M
Fallo
Correcto

FIG. 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/ES2012/070484

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/00 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, INVENES, WPI, Inspec

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2009152546 A1 (MARIE ET AL.) 18.06.2009, paragraphs[0005 - 0006]; paragraphs[0009 - 0013]; paragraphs[0034 - 0050]; paragraph [0053]; paragraphs[0078 - 0079];	1-14
Y	US 2010237891 A1 (LIN ET AL.) 23.09.2010, paragraph [0007]; paragraphs[0016 - 0021]; paragraph [0043]; paragraph [0054]; paragraph [0068]; paragraphs[0074 - 0075]; paragraph [0091]; paragraphs[0095 - 0099];	1-14

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance.
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure use, exhibition, or other means.
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents , such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16/10/2012	**(22/10/2012)**
Name and mailing address of the ISA/ OFICINA ESPAÑOLA DE PATENTES Y MARCAS Paseo de la Castellana, 75 - 28071 Madrid (España) Facsimile No.: 91 349 53 04	Authorized officer M. Alvarez Moreno Telephone No. 91 3495495

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/ES2012/070484

Patent document cited in the search report	Publication date	Patent family member(s)	Publication date
US2010237891 A	23.09.2010	KR20100105499 A	29.09.2010
		TW201035571 A	01.10.2010
		JP2010223960 A	07.10.2010
US2009152546 A	18.06.2009	WO2007036868 A	05.04.2007
		EP1932177 A	18.06.2008
		EP20060809400	25.09.2006
		CN101273455 A	24.09.2008
		CN101273455 B	20.04.2011
		JP2009510756 A	12.03.2009

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional nº
PCT/ES2012/070484

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD
H01L23/00 (2006.01)

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)
H01L

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)
EPODOC, INVENES, WPI, Inspec

C. DOCUMENTOS CONSIDERADOS RELEVANTES

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones nº
Y	US 2009152546 A1 (MARIE ET AL.) 18.06.2009, párrafos[0005 - 0006]; párrafos[0009 - 0013]; párrafos[0034 - 0050]; párrafo [0053]; párrafos[0078 - 0079];	1-14
Y	US 2010237891 A1 (LIN ET AL.) 23.09.2010, párrafo [0007]; párrafos[0016 - 0021]; párrafo [0043]; párrafo [0054]; párrafo [0068]; párrafos[0074 - 0075]; párrafo [0091]; párrafos[0095 - 0099];	1-14

☐ En la continuación del recuadro C se relacionan otros documentos ☒ Los documentos de familias de patentes se indican en el anexo

* Categorías especiales de documentos citados:
"A" documento que define el estado general de la técnica no considerado como particularmente relevante.
"E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.
"L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).
"O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.
"P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.
"T" documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.
"X" documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.
"Y" documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.
"&" documento que forma parte de la misma familia de patentes.

Fecha en que se ha concluido efectivamente la búsqueda internacional.	Fecha de expedición del informe de búsqueda internacional.
16/10/2012	**22 de octubre de 2012 (22/10/2012)**
Nombre y dirección postal de la Administración encargada de la búsqueda internacional OFICINA ESPAÑOLA DE PATENTES Y MARCAS Paseo de la Castellana, 75 - 28071 Madrid (España) Nº de fax: 91 349 53 04	Funcionario autorizado M. Alvarez Moreno Nº de teléfono 91 3495495

INFORME DE BÚSQUEDA INTERNACIONAL

Informaciones relativas a los miembros de familias de patentes

Solicitud internacional nº

PCT/ES2012/070484

Documento de patente citado en el informe de búsqueda	Fecha de Publicación	Miembro(s) de la familia de patentes	Fecha de Publicación
US2010237891 A	23.09.2010	KR20100105499 A	29.09.2010
		TW201035571 A	01.10.2010
		JP2010223960 A	07.10.2010
US2009152546 A	18.06.2009	WO2007036868 A	05.04.2007
		EP1932177 A	18.06.2008
		EP20060809400	25.09.2006
		CN101273455 A	24.09.2008
		CN101273455 B	20.04.2011
		JP2009510756 A	12.03.2009