



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 374 774**

21 Número de solicitud: 200800799

51 Int. Cl.:

**H01L 29/732** (2006.01)

**H03K 17/08** (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación: **18.03.2008**

43 Fecha de publicación de la solicitud: **22.02.2012**

43 Fecha de publicación del folleto de la solicitud:  
**22.02.2012**

71 Solicitante/s: **Consejo Superior de Investigaciones Científicas (CSIC)**  
**c/ Serrano, nº 117**  
**28006 Madrid, ES**

72 Inventor/es: **Vellvehi Hernández, Miguel;**  
**Jordà Sanuy, Xavier;**  
**Gálvez Sánchez, José Luis;**  
**Godignon, Philippe y**  
**Perpiñà Giribet, Xavier**

74 Agente: **Pons Ariño, Ángel**

54 Título: **Método de fabricación de dispositivos RB-IGBT.**

57 Resumen:

Método de fabricación de dispositivos RB-IGBT.

Se presenta un método de fabricación de dispositivos IGBT, con capacidad de bloqueo en inversa. Para ello, se ha utilizado la técnica de aislamiento por trinchera donde el proceso de impurificación de la misma se ha realizado utilizando una fuente sólida con obleas de boro, resultando en un abaratamiento tanto en material de partida como en una reducción del tiempo de proceso.

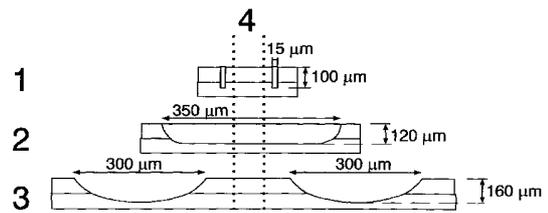


FIG. 2

## DESCRIPCIÓN

Método de fabricación de dispositivos RB-IGBT.

## 5 Sector de la técnica

La invención propuesta en esta Memoria de invención se enmarca en el campo de la *electrónica de potencia*. En concreto, los dispositivos IGBT (*“Insulated Gate Bipolar Transistor”, en español “Transistor bipolar de puerta aislada”*) fabricados en silicio con capacidad de bloqueo en tensión inversa son dispositivos conocidos como **RB-IGBT** (*“Reverse Blocking IGBT”, en español “IGBT de bloqueo inverso”*) y son muy similares a los dispositivos IGBT convencionales, pero con una protección adicional en la periferia del dispositivo que lo dota de capacidad para soportar una alta tensión eléctrica en inversa. Desde el punto de vista del usuario, el RB-IGBT se comporta como un interruptor controlable que permite el paso de corriente en una dirección (unidireccional en corriente) y el bloqueo de tensión en ambos sentidos. Los circuitos de potencia típicos en los cuales se requiere este tipo de dispositivos son los inversores de corriente, los convertidores resonantes utilizados en distintas aplicaciones, los circuitos de protección serie en líneas AC y en los interruptores bidireccionales empleados básicamente en convertidores matriciales. El considerable desarrollo que están experimentando los convertidores matriciales durante los últimos años, representa, quizás, la principal aplicación actual de los RB-IGBT [P. W. Wheeler, J. Rodríguez, J. C. Clare, L. Empringham, A. Weinstein. “Matrix Converters: A Technology Review”. IEEE Trans. on Industrial Electronics, Vol. 49, No. 2, April 2002, p. 276-288]. Se trata de aplicaciones en un gran número de dominios técnicos: energías renovables (eólica, fotovoltaica o células de combustible), variadores de velocidad para el control de motores de alterna (en transporte, elevadores, grúas, prensas, industria de procesos, etc.); convertidores para aplicaciones submarinas y de alta temperatura; convertidores para ambientes sensibles (hospitales, centros de cálculo, etc.), accionamientos en aplicaciones aeroespaciales (p. ej. el control de los alerones de los aviones civiles), etc.

25

## Estado de la técnica

En una estructura IGBT convencional, la tensión en directo la soporta la unión pozo P/capa epitaxiada y la tensión en inverso la unión epitaxia/substrato como se detalla en la Fig. 1 (a) donde se muestra la zona de la terminación de un dispositivo IGBT convencional. Al cortar la oblea en dados individuales, el extremo de la unión capa epitaxiada/substrato que soporta la tensión en inversa queda al aire con lo cual la tensión que puede soportar es muy baja debido al elevado campo eléctrico que se genera en dicha superficie produciéndose elevadas corrientes de fuga. Para poder dotar a un dispositivo IGBT de capacidad de bloqueo en inversa, es necesario proteger la periferia del dispositivo con objeto de evitar que dicha unión quede al aire. Para ello, se extiende verticalmente la unión capa epitaxiada/sustrato con una región tipo P que alcanza la superficie superior pasivada del componente.

Básicamente, existen tres técnicas para proteger la periferia de un dispositivo IGBT y dotarlo de capacidad de bloqueo en inversa (ánodo polarizado negativamente): aislamiento tipo MESA, aislamiento por difusión y aislamiento por trinchera. En la Fig. 2 se muestra esquemáticamente cada una de dichas técnicas.

El aislamiento tipo MESA consiste en realizar dos grabados tipo MESA a ambos lados de la línea de corte, lo suficientemente profundo como para que se alcance la unión entre la epitaxia y el sustrato [M. Takei, Y. Harada and K. Ueno. “600 V-IGBT with Reverse Blocking Capability”. Proceedings of 12th International Symposium on Power Semiconductor Devices & ICs (ISPSD’01). June 2001, Osaka (Japan)]. Esta técnica se usa principalmente para dispositivos de gran área como los tiristores, en los cuales el ángulo de grabado y la pasivación aseguran la capacidad de bloqueo en inversa. Aunque sería posible proteger la superficie lateral de dispositivos más pequeños como los IGBTs, éstos necesitarían de un sustrato P<sup>+</sup> grueso debido a razones estructurales ya que el resultado es una estructura mecánicamente débil, resultando en un compromiso entre ambos factores. Cabe remarcar que, en este caso, el área final del dispositivo es sumamente grande debido a la anchura de los grabados tipo MESA tal y como se aprecia en la figura.

El aislamiento por difusión consiste en definir una difusión tipo P en la región de la línea de corte lo suficientemente profunda como para que llegue al sustrato como se puede ver en la Fig. 2. Esta técnica requiere de un proceso de difusión a temperaturas extremadamente altas (>1250°C) y un tratamiento térmico posterior lo suficientemente largo para conseguir que las difusiones profundas alcancen el sustrato tipo P [T. Naito, M. Takei, M. Nemoto, T. Hayashi and K. Ueno. “1200 V Reverse Blocking IGBT with low loss for Matrix Converter”. Proceedings of 16th International Symposium on Power Semiconductor Devices & ICs (ISPSD’04). June 2004, Kitakyushu (Japan). H. Takahashi, M. Kaneda and T. Minato. “1200 V class Reverse Blocking IGBT (RB-IGBT) for AC Matrix Converter”. Proceedings of 16th International Symposium on Power Semiconductor Devices & ICs (ISPSD’04). June 2004, Kitakyushu (Japan). M. Takei, T. Naito and K. Lleno. “Reverse Blocking IGBT for Matrix Converter with Ultra-thin Water Technology”. IEE Proceedings on Circuits, Devices and Systems, Vol 151, No3, June 2004, pp.243-247. E.R. Motto, J.F. Donlon, M. Tabata, H. Takahashi, Y. Yu and G. Makumdar. “Application Characteristics of an Experimental RB-IGBT (Reverse Blocking TGBT) Module”. Proceedings of the IEEE 39<sup>th</sup> Annual Meeting Industry Applications Conference, Vol.3, October 2004, pp. 1540-1544.]. Además, al igual que en el caso de aislamiento tipo MESA, el área del chip se incrementa notablemente usando esta técnica debido, en este caso a la difusión lateral. Esta es la técnica más utilizada para la definición de dispositivos RB-IGBT. De hecho, actualmente solo existen comercialmente tres referencias de este tipo dispositivos RB-IGBT siendo la técnica de aislamiento utilizada la de difusión (Véanse las Patentes 1 y

2, reseñadas más adelante). La tensión de ruptura tanto en inversa como en polarización directa (la característica corriente- tensión es prácticamente simétrica) es de 1200 V y los comercializa la empresa IXYS Corporation [A. Lindemann. "A new IGBT with Reverse Blocking Capability". Application Note of IXYS Semiconductor GmbH Corporation. (t052804). May 2004].

5

En la tecnología planar se entiende por trinchera a un pozo realizado en la oblea de silicio mediante una técnica de grabado apropiada. En el caso del aislamiento mediante, el área total del chip requerida es menor, debido a que la anchura de la trinchera de aislamiento se sitúa en torno a las 15  $\mu\text{m}$ . Además, se requieren procesos térmicos estándar y no existe limitación en el espesor de las obleas. Tal y como se aprecia en la Fig. 1, esta técnica consiste en definir dos trincheras de unas 15  $\mu\text{m}$  de ancho, a ambos lados de la línea de corte y de profundidad dependiente de la capacidad de bloqueo requerida (espesor de la capa epitaxiada). En este sentido, para una tensión de 600 V, se requiere una profundidad del orden de las 110  $\mu\text{m}$ . y para una tensión de 1200 V dicho valor aumenta hasta valores superiores a las 200  $\mu\text{m}$ . Además, dichas trincheras deben ser impurificadas uniformemente tipo P en la totalidad de las paredes y posteriormente, rellenadas con silicio policristalino. La técnica utilizada para el impurificación en la única referencia bibliográfica que se ha encontrado es la de implantación iónica [N. Tokuda, M. Kaneda and T. Minato. "An ultra-small isolation area of 600 V class Reverse Blocking IGBT with Deep Trench Isolation process (TI-RB-IGBT)". Proceedings of 16th International Symposium on Power Semiconductor Devices & ICs (ISPSD'04). June 2004, Kitakyushu (Japan)]. Sin embargo, para poder impurificar este tipo de trincheras (muy estrechas y muy profundas) se requiere un equipo de implantación iónica con unas características muy especiales que permitan controlar de forma muy precisa el ángulo de incidencia de la implantación y el ángulo de rotación de la oblea para poder implantar uniformemente las cuatro paredes de la trinchera. Este tipo de procesado, ciertamente, es muy costoso en tiempo y en equipamiento necesario. En efecto, fabricar así los dispositivos requerirá un control muy preciso de todos los parámetros involucrados, ya que se pueden generar problemas de sombras de implantación, efectos de acanalamiento, desuniformidad del impurificado, baja repetitividad, etc. Además, cabe mencionar también, el elevado precio de adquisición y mantenimiento de dichos equipos en comparación con los utilizados para oxidaciones y recocidos como los usados en la presente propuesta de invención donde el impurificado se consigue utilizando obleas impurificantes de BN.

Por consiguiente, el procedimiento de fabricación de dispositivos IGBT presentado en esta patente de invención constituye un abaratamiento tanto en material de partida como en una reducción del tiempo de proceso. En el siguiente apartado se detallará dicho proceso de fabricación que tiene como objetivo la integración en silicio de dispositivos IGBT con capacidad de bloqueo en inversa.

### Patentes

35

1. Título de la Patente: *Reverse Blocking IGBT*. Número: US6727527.
2. Título de la Patente: *Reverse blocking type semiconductor device and method of manufacturing the same*. Número: JP2005252212.

40

## Descripción de la invención

### Breve descripción de la invención

45

La invención que se propone en esta patente define un proceso de fabricación para la fabricación de dispositivos RB-IGBT. Este proceso consta de dos partes: una primera donde se realiza el aislamiento de la periferia del dispositivo mediante una trinchera impurificada con fuente sólida y una segunda, donde se define la estructura IGBT convencional que aísla mediante la trinchera, dotará al dispositivo de capacidad de bloqueo en inversa.

50

### Descripción detallada de la invención

La realización práctica de los dispositivos RB-IGBT implica, en primer lugar, disponer de un proceso tecnológico estándar para la fabricación de estructuras IGBT convencionales basado en un proceso de doble difusión. En segundo lugar, para poder dotar al IGBT de capacidad de bloqueo en inversa, se requiere de un proceso tecnológico adicional previo a la definición de la estructura IGBT convencional cuyo principal objetivo es la protección de la periferia del dispositivo. Hasta la fecha, este proceso resultaba en un aumento considerable de la superficie de silicio cuando se elegía la opción de grabado tipo MESA o de difusión profunda, o bien, en un complicado y costoso proceso de implantación iónica (necesario para introducir en el dispositivo las impurezas necesarias), si se considera la opción de realizar el aislamiento de la periferia mediante trincheras.

En la presente invención se ha optado por esta última técnica de aislamiento por trinchera pero mejorando y simplificando el proceso de impurificado de las paredes de la misma. El hecho mismo de utilizar la técnica de aislamiento por trinchera se debe básicamente a dos motivos: el primero hace referencia a las ventajas mencionadas en el apartado anterior (Estado de la Técnica) frente a otros procedimientos, y, en segundo lugar, a la viabilidad de realizar dicho proceso con equipos estándar de grabado disponibles en la mayoría de las actuales salas blancas de fabricación microelectrónica. En líneas generales, el uso de esta técnica en concreto supondrá, en términos prácticos, una dismi-

65

nución considerable del área de silicio a emplear, e, igualmente, de los costes de realización de la impurificación de la trinchera, comparada con las existentes hasta la fecha.

5 Tal y como se ha comentado, la integración en Silicio de estructuras RB-IGBT consta de dos partes claramente diferenciadas: una primera donde se realiza el aislamiento del dispositivo IGBT mediante trinchera y una segunda parte donde se integra la estructura IGBT convencional.

En la Fig. 3 se muestra el diagrama de bloques del proceso de fabricación de las estructuras RB-IGBT.

10 El principal objetivo de la presente invención se basa en la definición de trincheras profundas en el silicio, su impurificación y posterior rellenado con silicio policristalino. Tal y como se ha comentado anteriormente, dicho proceso es necesario para el aislamiento de las estructuras IGBT que las dota de capacidad de bloqueo en inversa. El primer paso consiste en la definición de la trinchera profunda. Dicha trinchera tendrá una profundidad superior al espesor de la capa epitaxiada tipo N de manera que contactará la parte superior pasivada del dispositivo con el sustrato tipo P como se puede apreciar en la Fig. 1. Además, dicha trinchera debe ser impurificada de manera uniforme en la totalidad de la superficie de las paredes. Por esta razón, en esta patente de invención se propone un proceso de introducción de los átomos impureza, en la trinchera, por medio de una fuente sólida. Dicha combinación de aislamiento por trinchera y su proceso de impurificación con fuente sólida mejora las técnicas de aislamiento propuestas hasta la fecha en la literatura en términos de coste, repetitividad y uniformidad en el impurificado y disminución del área de silicio requeri-  
15 da para realizar el aislamiento. Los pasos críticos en el proceso de la formación de la trinchera son la optimización de su anchura y profundidad, la optimización del proceso de impurificado con fuente sólida y su posterior rellenado con silicio policristalino.

20 Para optimizar el proceso de grabado de la trinchera hay que tener en cuenta que uno de los parámetros que definirá la anchura máxima de la trinchera será el espesor máximo de la capa de silicio policristalino que se pueda depositar para su posterior rellenado.

El proceso de impurificado de la trinchera mediante una fuente sólida consiste básicamente en colocar las obleas con impurezas de BN (nitruro de boro) entre las obleas de proceso y realizar, en base a las simulaciones tecnológicas que se han realizado previamente de las que se obtienen los picos y las profundidades del impurificado, una oxidación a 1250°C durante 20 minutos, seguido de un decapado del óxido crecido. El resultado final de esta etapa es la obtención de una impurificación uniforme de las paredes de las trincheras. Además, el proceso requiere también etapas adicionales de oxidación y decapado para garantizar una buena calidad de la superficie de las paredes de la trinchera. La principal ventaja de esta técnica es que es un proceso estándar de cualquier Sala Blanca con tecnología CMOS (hornos de difusión y recocido con atmósfera controlada) que permite obtener una buena repetitividad y uniformidad en el impurificado, en cuando a profundidad y niveles de concentración. Además, la puesta a punto de dicho proceso no es tan crítica como en el caso de la implantación iónica y los equipos utilizados son mucho menos costosos que en el caso de los implantadores iónicos.

40 Una vez las paredes de la trinchera han sido impurificadas y alisadas mediante tratamientos térmicos para obtener una buena calidad de la superficie, se deposita el espesor de silicio policristalino necesario para rellenar la trinchera.

A continuación, una vez depositado el silicio policristalino se graba el mismo espesor depositado con objeto de eliminar la capa de silicio policristalino de la superficie. Una vez la superficie del chip quede completamente limpia con el Si a la vista se inicia el proceso estándar de fabricación de las estructuras IGBT. Este proceso se basa en un proceso estándar de fabricación de estructuras VDMOS/IGBT de doble difusión.

50 Dichas estructuras IGBT convencionales están formadas por un número determinado de celdas básicas en paralelo y que determinarán la capacidad en corriente del dispositivo. Además para que el dispositivo soporte la tensión de ruptura deseada, será necesario integrar una terminación adecuada (anillos de guarda flotantes). Dicha terminación se puede ver en la Fig. 1 (elemento 12).

Una vez limpia la superficie del chip después de optimizar el proceso de definición de las trincheras de aislamiento, se crece un óxido térmico que hará las funciones de óxido de campo inicial. A continuación, a través de un proceso fotolitográfico estándar de depósito y revelado de resina, se graba el óxido de campo en determinadas zonas de manera que se definen unas ventanas que nos servirán para implantar a través de ellas especies dopantes tipo P, en este caso boro con una concentración elevada, que formarán los pozos profundos P<sup>+</sup> de las celdas básicas. Al mismo tiempo, mediante esta implantación se definen los anillos de guarda flotantes de la terminación del dispositivo, necesaria para soportar la tensión de ruptura requerida. Una vez decapada la resina, se crece de nuevo un óxido térmico que junto con el óxido crecido anteriormente, obtendremos un espesor final del óxido de campo de alrededor de 7500 Å. A continuación se define el área activa del dispositivo a través de un nuevo proceso fotolitográfico grabando el óxido de campo. Una oxidación térmica en el rango de los 900-1000°C, definirá el óxido de puerta, cuyo espesor, junto con la densidad de impurezas del pozo P que se definirá posteriormente, serán los parámetros que determinan la tensión umbral del dispositivo fabricado. A continuación se deposita el silicio policristalino que actuará como metal de puerta. Para mejorar la resistividad de este material se realiza un proceso de impurificado del silicio policristalino con POCl<sub>3</sub>. Después de un nuevo proceso fotolitográfico se graba el silicio policristalino y se realiza una implantación con impurezas de Boro para definir el pozo P de la celda básica, actuando de esta manera el silicio policristalino como máscara de implantación. Una vez activadas las impurezas del pozo P mediante un proceso térmico adecuado, se reduce

el espesor del óxido no cubierto por el silicio policristalino que servirá de pantalla para la posterior implantación de boro altamente impurificados a través de un nuevo proceso fotolitográfico y que servirá para definir las zonas P<sup>++</sup> de mejora de contacto de fuente de la celda básica. Posteriormente, en el paso siguiente, se definirán las zonas N<sup>+</sup> de fuente mediante una doble implantación con impurezas de Fósforo y Arsénico altamente impurificados para obtener una baja resistencia del contacto de fuente. Mediante un recocido en ambiente neutro en el rango de los 1000°C se activan simultáneamente las impurezas de P<sup>++</sup> y N<sup>+</sup> de fuente.

Después de realizar todas las implantaciones en la cara anterior de las obleas se procede al decapado de su cara posterior con RIE (“*Reactive Ion Etching*”, en español “*Grabado de iones reactivos*”) protegiendo aquella con resina. A continuación se deposita un óxido inter nivel impurificado de alrededor de 1 μm. y se le hace casi fluido a alta temperatura durante cerca de una hora hasta lograr una superficie homogénea. Después, mediante una máscara se realiza la apertura de contactos con un grabado seco de los óxidos inter nivel y térmico. Tras la deposición de una capa metálica de Al/Cu (aluminio/cobre) en la cara anterior, se realiza la etapa fotolitográfica que permite grabar la metalización. A continuación se metaliza, con esa misma aleación Al/Cu, la cara posterior de la oblea con un espesor más fino que en la cara anterior y se procede a su posterior recocido. La pasivación de la cara anterior de la oblea se lleva a cabo mediante la deposición de un óxido-nitruro de un espesor en el rango de 1 μm. Finalmente, mediante la técnica de “*lift-off*” (en español, “grabado mediante máscara”) y utilizando la misma máscara de pasivación, se deposita, en la cara anterior, una tricapa metálica de titanio, níquel y oro en las zonas de contacto o *pads* del dispositivo.

20

### Descripción detallada de las figuras

Fig. 1 Celda básica de un IGBT (a) y de la terminación de un RB-IGBT (b).

25

Fig. 2 Diferentes técnicas de protección de la periferia de un IGBT.

Fig. 3 Esquema del proceso de fabricación de estructuras RB-IGBT.

30

Fig. 4 Esquema de la región de la terminación, aislamiento por trinchera y línea de corte de un dispositivo RB-IGBT.

Fig. 5 Esquema detallado de la celda básica de un dispositivo RB-IGBT.

35

Fig. 6 Característica I(V) de un dispositivo RB-IGBT.

### Ejemplo de realización de la invención

Ejemplo de realización

40

*Fabricación de un dispositivo RB-IGBT con una tensión de ruptura en inversa de 500 V*

En primer lugar, se describe brevemente el contenido de cada una de las figuras adjuntas, pasándose a continuación a describir el proceso de fabricación de la invención.

45

Figura 1

50

En esta figura se muestra el corte transversal de una estructura IGBT convencional y una RB-IGBT. Como se puede ver, la principal diferencia reside en la inclusión de una trinchera dopada tipo P, estrecha y profunda que alcanza el sustrato P y que dota al IGBT de capacidad de bloqueo en inversa. Los números de referencia utilizados son:

(1) Aluminio.

55

(2) SiO<sub>2</sub>.

(3) Silicio policristalino.

(4) Difusión N<sup>+</sup> de fuente.

60

(5) Difusión P<sup>+</sup>.

(6) Difusión P de Pozo P (body).

65

(7) Unión que soporta la tensión en directo.

(8) Epitaxia N<sup>-</sup>.

## ES 2 374 774 A1

- (9) Substrato P+.
- (10) Unión que soporta la tensión en inverso.
- 5 (11) Substrato P+.
- (12) Anillos de guarda.

### 10 Figura 2

En esta figura se muestran las diferentes técnicas que se utilizan para proteger la periferia de los dispositivos RB-IGBT. Se aprecia claramente como el uso de la técnica de la trinchera reduce enormemente el área de Silicio a utilizar, mientras que el uso de grabados tipo MESA a ambos lados de la línea de corte es la que requiere un área mayor. Los números de referencia utilizados en esta figura son:

- (1) Trinchera.
- (2) Difusión.
- 20 (3) Mesa.
- (4) Línea de corte.

### 25 Figura 3

En esta figura se muestra el diagrama de bloques con las diferentes etapas secuenciales del proceso de fabricación de los dispositivos RB-IGBT, incluyendo cada uno de los procesos fotolitográficos necesarios.

### Figura 4

En esta figura se muestra un corte transversal de la periferia de un dispositivo RB-IGBT. Para poder soportar la tensión de ruptura requerida para el dispositivo, se requiere el uso de técnicas de terminación. En este caso se han usado anillos de guarda flotantes (4) y un limitador de canal (en inglés, denominado *channel stopper* (3)). Entre la línea de corte (1) y el *channel stopper* (3) se ha definido una trinchera de aislamiento estrecha y profunda (2) impurificada con boro (6) y rellena con silicio policristalino (7) y que contacta con el substrato tipo P (9) a través de la epitaxia tipo N (8). Los números de referencia utilizados en esta figura son:

- (1) Línea de corte.
- (2) Trinchera de aislamiento.
- 45 (3) Channel stopper.
- (4) Anillos de guarda.
- (5) Terminación.
- 50 (6) Difusión P+.
- (7) Silicio policristalino.
- 55 (8) Epitaxia N-.
- (9) Substrato P+.
- (10) Área activa.

### Figura 5

Muestra una celda básica de un dispositivo RB-IGBT donde los números de referencia indican las siguientes partes:

- (1) Pozo profundo P+.

- (2) Óxido de campo.
- (3) Óxido de puerta.
- 5 (4) Silicio policristalino.
- (5) Pozo P (body).
- 10 (6) Difusión P<sup>++</sup>.
- (7) Difusión N<sup>+</sup> de fuente.
- (8) Óxido intel nivel.
- 15 (9) Aluminio.
- (10) Epitaxia N<sup>-</sup>.

20 Figura 6

En esta figura se muestra una característica I(V) de uno de los primeros prototipos de dispositivos RB-IGBT que se han fabricado en una Sala Blanca donde se aprecia claramente la capacidad de bloqueo bidireccional del dispositivo, siendo la tensión de ruptura de alrededor de 500 V.

Tal y como se ha comentado, el proceso de fabricación de dispositivos RB-IGBT consta de dos etapas claramente diferenciadas. Una primera donde se realiza el proceso de definición, impurificación y rellenado de las trincheras en la periferia del dispositivo y que dotarán al mismo de capacidad de bloqueo en inversa. Una segunda parte, dará cuenta de la definición de la celda básica y de la terminación del dispositivo RB-IGBT. El número de celdas a implementar será el que dotará al dispositivo de la capacidad en corriente deseada y la terminación del mismo será diseñada de manera que el dispositivo soporte la tensión de ruptura requerida, en este caso 500 V.

### 35 1. Optimización de la región de trinchera en la periferia del dispositivo

En la Fig. 4 se muestra un esquema de la región de la terminación, la trinchera de aislamiento y la línea de corte de un dispositivo RB-IGBT. Se puede apreciar como la terminación del dispositivo IGBT consta de 5 anillos de guarda y un "channel stopper" (limitador de canal). Entre la terminación y la línea de corte se ha realizado la trinchera de aislamiento. Como se muestra en la figura, las paredes de la trinchera están impurificadas con impurezas tipo P y rellenas con silicio policristalino. Su profundidad es tal que alcanza el sustrato de manera que la estructura IGBT queda aislada de la periferia. Para los dispositivos aquí presentados se ha optado por una tensión de ruptura de 500 V con lo que la capa epitaxial requerida en base a las simulaciones realizadas ha de ser de 100 μm. Así, para poder asegurar que la trinchera alcance el sustrato se ha apuntado a una profundidad de trinchera superior al espesor de la capa epitaxial. Para poder realizar ataques profundos de silicio, se dispone de un equipo ALCATEL 601-E. Se trata de un equipo especialmente diseñado para grabados profundos tipo DRIE ("Deep Reactive Ion Etching", en español "Grabado profundo de iones reactivos"). Este tipo de sistemas están pensados para obtener una alta tasa de grabado, buena uniformidad, selectividad y perfil prácticamente vertical. Esto se consigue gracias a la ignición inductiva del plasma (ICP, "Inductively Coupled Plasma", en español "Plasma acoplado inductivamente") y a un generador pulsante que polariza independientemente el sustrato, junto a unos imanes que direccionan y concentran el plasma de alta densidad. Para realizar los ataques profundos del silicio, se han seleccionado las condiciones óptimas de presión, concentración de gases y tiempo de ataque, de forma que el grabado final cumpliera las características finales requeridas.

La optimización de la parte del aislamiento por trinchera se ha focalizado en tres partes: la optimización de la anchura y profundidad, la optimización del proceso de impurificado con fuente sólida y el posterior rellenado de la trinchera con silicio policristalino.

#### 60 (a) Optimización de la anchura y profundidad de las trincheras

Para optimizar el proceso de grabado de la trinchera se han realizado pruebas previas donde se han definido trincheras de diferentes anchuras y profundidades. Hay que tener en cuenta que uno de los parámetros que definirá la anchura máxima de la trinchera será el espesor máximo de la capa de silicio policristalino que se pueda depositar para su posterior rellenado. Obviamente, también hay que tener en cuenta que cuanto más estrecha sea la trinchera menos área de silicio se requiere, aunque también hay que asegurar que las paredes queden impurificadas uniformemente y la trinchera rellena con silicio policristalino. En este sentido, en la sala blanca se han depositado espesores de silicio policristalino de hasta 10 micras con buena repetitividad. De esta manera, teniendo en cuenta todos estos factores, se

han definido trincheras de 12 micras obteniendo un buen relleno con silicio policristalino. En cuanto a la profundidad de la trinchera, ésta dependerá de la tensión de ruptura requerida para el dispositivo, cómo se ha expuesto en líneas precedentes. En nuestro caso, para una tensión de ruptura de 500 V, la profundidad de la trinchera requerida ha de ser superior al espesor de la epitaxia (100  $\mu\text{m}$ ). Se ha corroborado mediante las inspecciones al microscopio óptico de las pruebas realizadas que la profundidad del grabado de la trinchera depende enormemente de la anchura de la misma. Así, para trincheras de anchura 12 micras, la profundidad obtenida es de 210  $\mu\text{m}$ , mientras que las trincheras con anchuras de 100  $\mu\text{m}$ , la profundidad ha llegado a los 280  $\mu\text{m}$ , para unas mismas condiciones de grabado. Por tanto, cuanto mayor sea la anchura de la trinchera a grabar, la velocidad de ataque será también mayor. Debido a que en los dispositivos RB-IGBT presentados en esta memoria de invención la tensión de ruptura requerida es del orden de los 500 V, obtenemos que para grabar una trinchera de 12  $\mu\text{m}$  de ancho y una profundidad de 110  $\mu\text{m}$ , necesitamos un tiempo de ataque del silicio de aproximadamente unos 45 minutos.

(b) *Optimización del proceso de impurificación de la trinchera con fuente sólida (profundidad y pico de concentración)*

El proceso de impurificación de la trinchera con fuente sólida consiste básicamente en colocar las obleas impurificantes de BN (nitruro de boro) entre las obleas de proceso y realizar, una oxidación a 1250°C durante 20 minutos, seguido de un decapado del óxido crecido. El resultado final de esta etapa es la obtención de un impurificado uniforme de las paredes de las trincheras. Además, el proceso requiere también etapas adicionales de oxidación y decapado para garantizar una buena calidad de la superficie de las paredes de la trinchera. En concreto, los pasos tecnológicos necesarios para impurificar con fuente sólida se listan a continuación:

- Oxido sacrificial de 2000 Å.
- Grabado húmedo del óxido sacrificial de 2000 Å.
- Oxidación a 1250°C durante 20 minutos con obleas dopantes de BN.
- Decapado del óxido crecido.
- Oxidación a 800°C durante 20 minutos.
- Decapado del óxido crecido.

Debido a que el grabado profundo de la trinchera con el equipo antes mencionado deja la superficie de su pared rugosa en exceso, la principal misión del óxido sacrificial inicial es la de mejorar la calidad de la superficie donde a continuación se realizará la impurificación alisando y limpiando la pared de posibles restos de partículas del grabado seco anterior.

La principal ventaja de esta técnica es que es un proceso estándar de cualquier sala blanca con capacidad para fabricar tecnología CMOS (hornos de difusión y recocido) y que, además, permite obtener una buena repetitividad y uniformidad en la impurificación en cuando a profundidad y niveles de concentración. Además, la puesta a punto de dicho proceso no es tan crítica como en el caso de la implantación iónica y los equipos utilizado son mucho menos costosos que en el caso de los implantadores iónicos.

(c) *Optimización del relleno de la trinchera con silicio policristalino*

Antes de proceder al relleno de la trinchera con silicio policristalino se realiza una oxidación de 2500 Å a lo largo de toda la pared de la trinchera. Esta oxidación se utiliza para aislar por completo el silicio policristalino del interior de la trinchera con el Si tipo N de la epitaxia. A continuación, se deposita el espesor de silicio policristalino necesario para rellenar la trinchera. Para la fabricación de las estructuras RB-IGBT se utilizará un espesor de silicio policristalino de 6.5  $\mu\text{m}$ , para poder asegurar que las trincheras de 12  $\mu\text{m}$  de anchura queden completamente rellenas. A continuación, una vez depositado el silicio policristalino se graba el mismo espesor depositado con objeto de eliminar la capa de silicio policristalino de la superficie. Seguidamente, se graban los 2500 Å de óxido y se deja la superficie completamente limpia con el silicio a la vista para el posterior inicio del proceso estándar de fabricación de dispositivos IGBT.

2. *Optimización de la celda básica y la terminación del dispositivo*

La segunda parte del proceso de fabricación consiste en la definición de la estructura convencional IGBT. Este proceso se basa en un proceso estándar de fabricación de estructuras VDMOS/IGBT de doble difusión. Dicha estructura IGBT convencional está formada por un número determinado de celdas básicas que determinaran la capacidad en corriente del dispositivo y una terminación que permitirá soportar una determinada tensión de ruptura. En la Fig. 5, se

## ES 2 374 774 A1

detallan las partes esenciales de la celda básica de un IGBT.

Una vez limpia la superficie del chip después de optimizar el proceso de definición de las trincheras de aislamiento, se crece un óxido térmico de 6200 Å que hará las funciones de óxido de campo inicial. A continuación, a través de un proceso fotolitográfico estándar de depósito y revelado de resina, se graba el óxido de campo en determinadas zonas de manera que se definen unas ventanas que nos servirán para implantar a través de ellas especies dopantes tipo P, en este caso boro con una concentración elevada ( $4 \times 10^{15} \text{ cm}^{-2}$  y 100 keV), que formarán los pozos profundos P<sup>+</sup> de las celdas básicas. Al mismo tiempo, mediante esta implantación se definen los anillos de guarda flotantes de la terminación del dispositivo, necesaria para soportar la tensión de ruptura requerida. En nuestro caso, para un dispositivo de 500 V el número de anillos de guarda es de 5 más un anillo adicional N<sup>+</sup> que actúa como limitador de canal o “channel stopper”.

Una vez decapada la resina, se crece de nuevo un óxido térmico que junto con el óxido crecido anteriormente, obtendremos un espesor final del óxido de campo de alrededor de 7500 Å. A continuación se define el área activa del dispositivo a través de un nuevo proceso fotolitográfico grabando el óxido de campo. Una oxidación térmica a 950°C, definirá el óxido de puerta (780 Å). Este espesor de óxido de puerta, junto con el dopaje del pozo P que se definirá posteriormente, serán los parámetros que determinarán la tensión umbral del dispositivo. A continuación se depositan 6000 Å el silicio policristalino que actuará como metal de puerta. Para mejorar la resistividad de este material se realiza un proceso de impurificado del silicio policristalino con POCl<sub>3</sub>. Después de un nuevo proceso fotolitográfico se graba el silicio policristalino y se realiza una implantación con boro de  $8 \times 10^{15} \text{ cm}^{-2}$  y 150 keV de energía para definir el pozo P de la celda básica, actuando de esta manera el silicio policristalino como máscara de implantación. Una vez activadas las impurezas del pozo P mediante un proceso térmico, se reduce el espesor del óxido no cubierto por el silicio policristalino, dejando el óxido fino con un espesor de unos 400 Å. Este óxido servirá de pantalla para la posterior implantación de boro altamente impurificado ( $4 \times 10^{15} \text{ cm}^{-2}$  y 120 keV), a través de un nuevo proceso fotolitográfico y que servirá para definir las zonas P<sup>++</sup> de mejora de contacto de fuente de la celda básica. Después, se definirán las zonas N<sup>+</sup> de fuente mediante una doble implantación de fósforo y arsénico altamente impurificados ( $1 \text{E}14 \text{ cm}^{-2}$  y  $3 \text{E}15 \text{ cm}^{-2}$ , respectivamente) para obtener una baja resistencia de contacto de fuente. Mediante un recocido en ambiente neutro a 950°C durante 50 min. se activan simultáneamente las impurezas de P<sup>++</sup> y N<sup>+</sup> de fuente.

Después de realizar todas las implantaciones en la cara anterior de las obleas se procede al decapado de la cara posterior de la oblea con RIE protegiendo la cara anterior con resina. A continuación se deposita un óxido ínter nivel BPTEOS impurificado de 1.3 µm. y se somete a un tratamiento térmico a 950°C durante 50 minutos para homogeneizar la superficie y dejarla perfectamente plana. Mediante una máscara fotolitográfica se realiza la apertura de contactos con un grabado seco de los óxidos ínter nivel y térmico. Tras la deposición de 3 µm. de Al/Cu (aluminio/cobre), se realiza la etapa fotolitográfica que permite grabar la metalización. A continuación se metaliza la cara posterior de la oblea con 0.5 µm. de Al/Cu y su posterior sinterización a 350°C. La pasivación de la cara anterior de la oblea se lleva a cabo mediante la deposición de un óxido-nitruro de 1.1 µm. Finalmente, mediante la técnica de “lift-off” (en español, “Grabado mediante máscara”) y utilizando la misma máscara de pasivación, se deposita una tricapá metálica de titanio, níquel y oro en las zonas de contactos eléctricos o *pads* del dispositivo.

En la Fig. 6 se muestra la característica I(V) de uno los primeros prototipos de dispositivos RB-IGBT fabricados en una Sala Blanca donde se aprecia claramente la capacidad de bloqueo bidireccional del dispositivo, siendo la tensión de ruptura de alrededor de 500 V.

Por último, se lista a continuación una secuencia de pasos aún más detallada del procedimiento de la invención descrito en la Fig., 3:

- 1) Definición mediante grabado de las trincheras profundas en la oblea de silicio.
- 2) Impurificación de las trincheras, de manera uniforme, en la totalidad de las paredes de dichas trincheras.
- 3) Rellenado de las trincheras con silicio policristalino.
- 4) Crecimiento térmico de una capa de óxido de silicio en un horno de difusión a determinada temperatura y durante un tiempo de oxidación.
- 5) Definición, mediante implantación, de los pozos profundos P<sup>+</sup> de las celdas básicas y los anillos de guarda flotantes P<sup>+</sup> del dispositivo.
- 6) Crecimiento térmico de una capa de óxido de silicio en un horno de difusión a determinada temperatura y durante un tiempo de oxidación.
- 7) Definición mediante la fotolitografía del área activa del dispositivo.
- 8) Oxidación térmica para definir el óxido de la puerta del dispositivo.

## ES 2 374 774 A1

- 9) Deposito de silicio policristalino.
- 10) Impurificado de la capa de silicio policristalino.
- 5 11) Grabado, mediante la fotolitografía, de la capa de silicio policristalino e implantación de impurezas de boro.
- 12) Activación de las impurezas de boro implantadas en la fase precedente en un horno de difusión.
- 10 13) Implantación de boro para definir las zonas P<sup>++</sup> de mejora de la resistencia de contacto fuente en la celda básica.
- 14) Definición mediante la fotolitografía, de las zonas N<sup>+</sup>.
- 15 15) Implantación de los elementos fósforo y arsénico para definir las zonas N<sup>+</sup> del contacto de fuente del dispositivo.
- 16) Recocido en un horno térmico con atmósfera neutra para activar impurezas, P<sup>++</sup> y N<sup>+</sup>, simultáneamente.
- 20 17) Acción de decapado de la cara posterior de la oblea de silicio por medio de un procedimiento de reacción iónica (RIE).
- 18) Deposito de un óxido ínter nivel impurificado, espesor 1 micra, y calentado a temperatura próxima a su punto de fusión durante un tiempo.
- 25 19) Apertura de los contactos eléctricos.
- 20) Metalización de las caras anterior y posterior del dispositivo, mediante la aleación Al/Cu (aluminio/cobre) y su recocido en horno térmico.
- 30 21) Pasivación de la cara anterior del dispositivo.
- 22) Mediante la técnica lift-off, deposito de una capa triple de titanio, níquel y oro en la cara anterior para formar los contactos eléctricos del dispositivo.

35

40

45

50

55

60

65

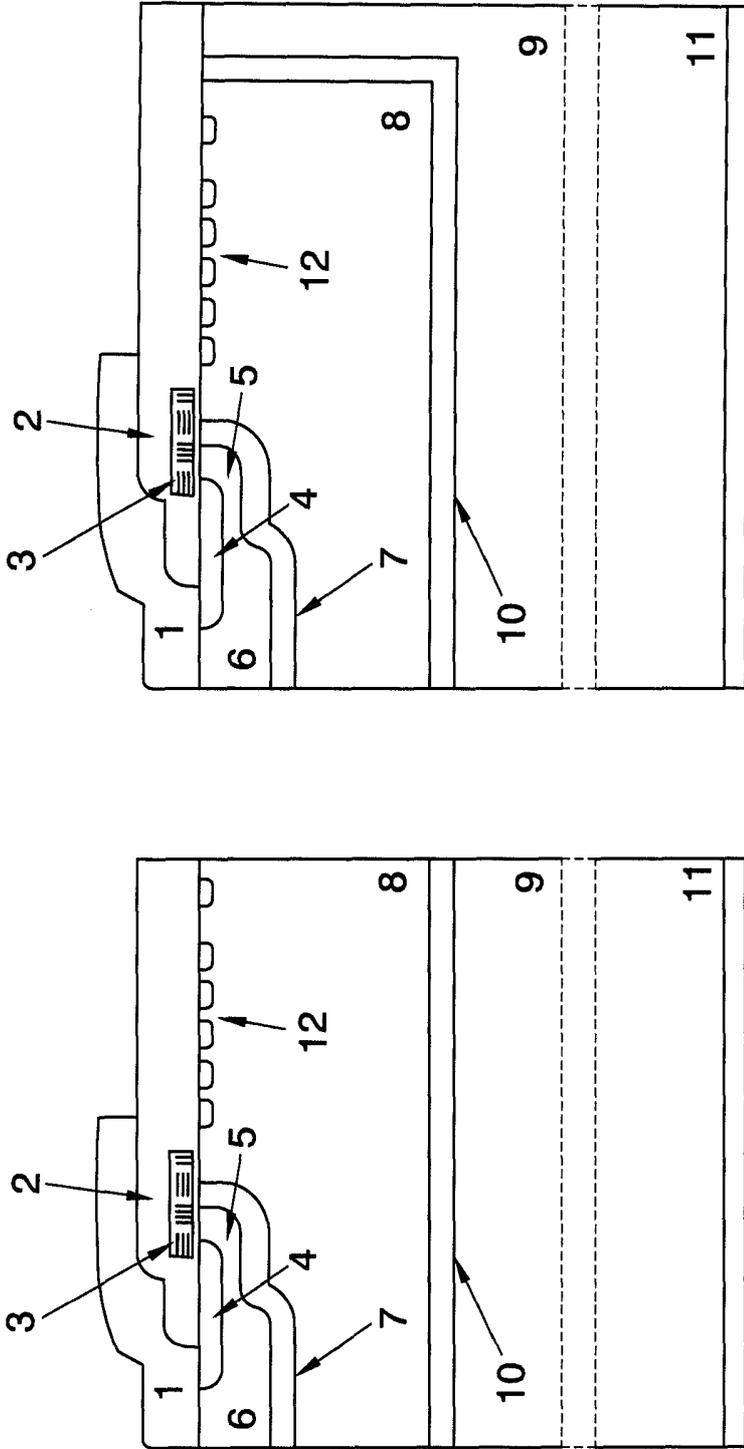
# ES 2 374 774 A1

## REIVINDICACIONES

5 1. Método de fabricación de dispositivos RB-IGBT (Reverse Blocking - Insulated Gate Bipolar Transistor, o transistor bipolar de puerta aislada en tensión inversa bloqueadora) que comprende un diseño basado en la técnica de aislamiento por trinchera y **caracterizado** por los siguientes pasos de procesado (Figura 3):

- 1.1. Definición mediante grabado de las trincheras profundas en la oblea de silicio,
- 10 1.2. impurificación de las trincheras, de manera uniforme, en la totalidad de las paredes de dichas trincheras,
- 1.3. rellenado de las trincheras con silicio policristalino,
- 1.4. crecimiento térmico de una capa de óxido de silicio en un horno de difusión a determinada temperatura  
15 y durante un tiempo de oxidación,
- 1.5. definición, mediante implantación, de los pozos profundos P<sup>+</sup> de las celdas básicas y los anillos de guarda flotantes P<sup>+</sup> del dispositivo,
- 20 1.6. crecimiento térmico de una capa de óxido de silicio en un horno de difusión a determinada temperatura y durante un tiempo de oxidación,
- 1.7. definición mediante la fotolitografía del área activa del dispositivo,
- 25 1.8. oxidación térmica para definir el óxido de la puerta del dispositivo,
- 1.9. deposito de silicio policristalino,
- 1.10. impurificado de la capa de silicio policristalino,
- 30 1.11. grabado, mediante la fotolitografía, de la capa de silicio policristalino e implantación de impurezas de boro,
- 1.12. activación de las impurezas de boro implantadas en la fase precedente en un horno de difusión,
- 35 1.13. implantación de boro para definir las zonas P<sup>++</sup> de mejora de la resistencia de contacto fuente en la celda básica,
- 1.14. definición mediante la fotolitografía, de las zonas N<sup>+</sup>,
- 40 1.15. implantación de los elementos fósforo y arsénico para definir las zonas N<sup>+</sup> del contacto de fuente del dispositivo,
- 1.16. recocido en un horno térmico con atmósfera neutra para activar impurezas, P<sup>++</sup> y N<sup>+</sup>, simultáneamente,
- 45 1.17. acción de decapado de la cara posterior de la oblea de silicio por medio de un procedimiento de reacción iónica (RIE),
- 1.18. deposito de un óxido ínter nivel impurificado, espesor 1 micra, y calentado a temperatura próxima a su  
50 punto de fusión durante un tiempo,
- 1.19. apertura de los contactos eléctricos,
- 1.20. metalización de las caras anterior y posterior del dispositivo, mediante la aleación Al/Cu (aluminio/  
55 cobre) y su recocido en horno térmico,
- 1.21. pasivación de la cara anterior del dispositivo,
- 60 1.22. mediante la técnica lift-off, deposito de una capa triple de titanio, níquel y oro en la cara anterior para formar los contactos eléctricos del dispositivo.

65 2. Método de fabricación de dispositivos RB-IGBT (Reverse Blocking - Insulated Gate Bipolar Transistor, o transistor bipolar de puerta aislada en tensión inversa bloqueadora) que comprende un diseño basado en la técnica de aislamiento por trinchera descrito en la reivindicación 1, y **caracterizado**, además, por nueve etapas de fotolitografía (Figura 3) con la máscara debida, al objeto de formar las distintas zonas activas y contactos eléctricos del dispositivo.



(b)

(a)

FIG. 1

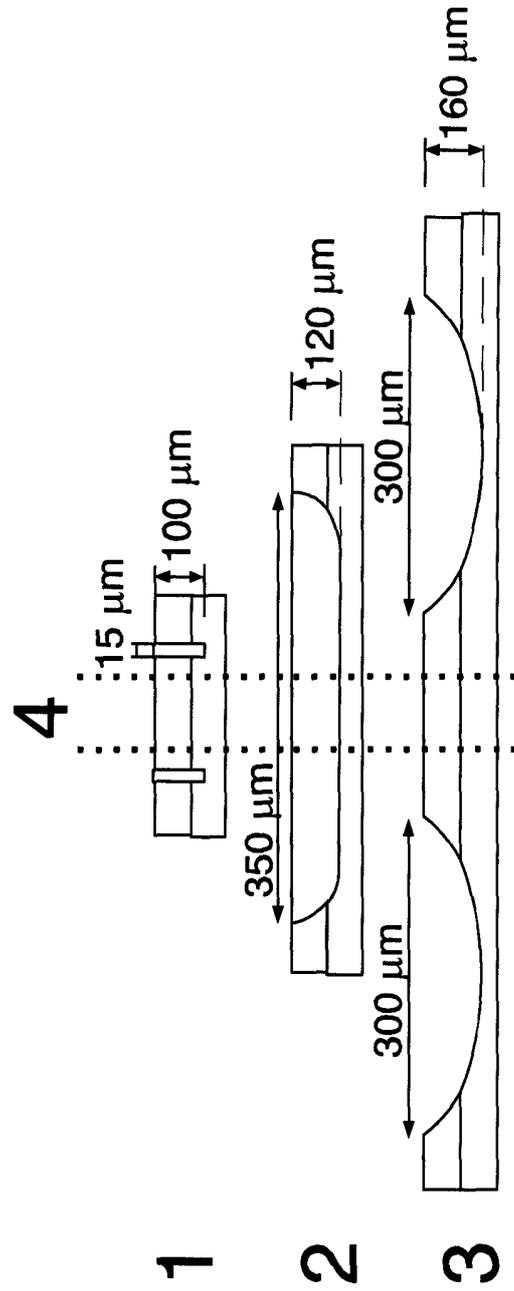


FIG. 2

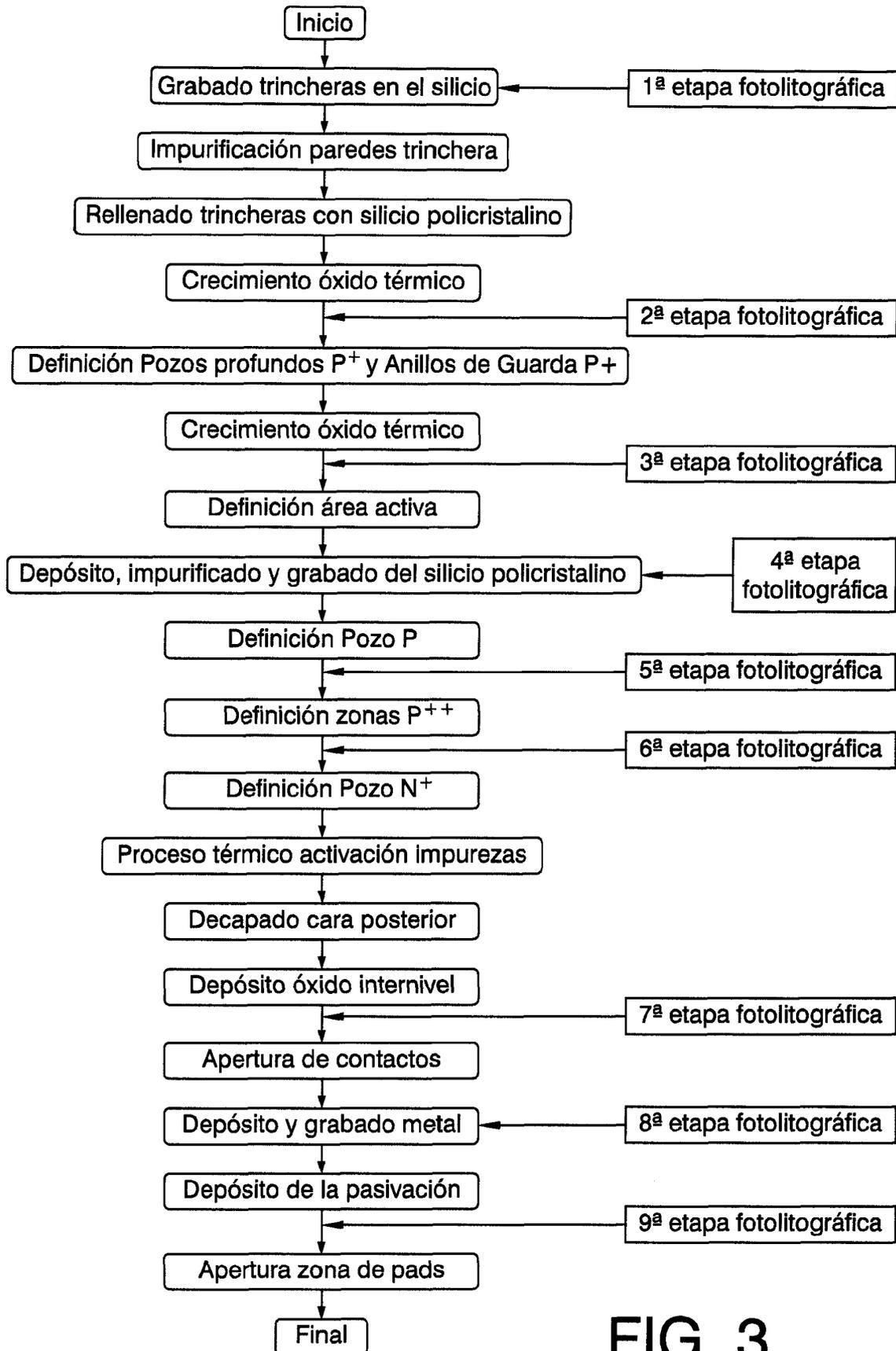


FIG. 3

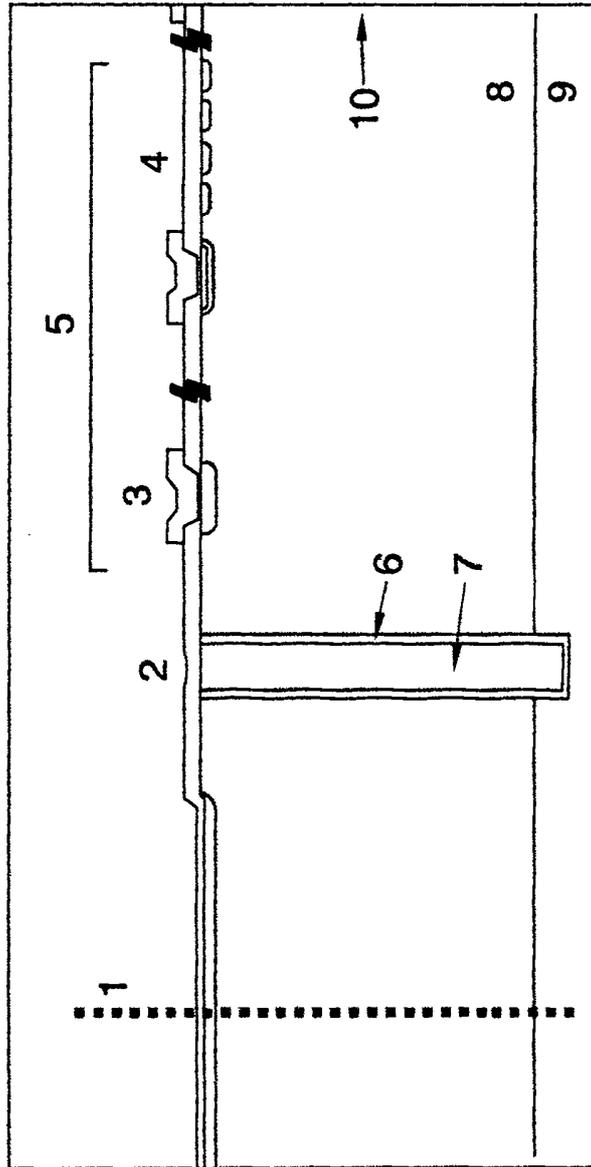


FIG. 4

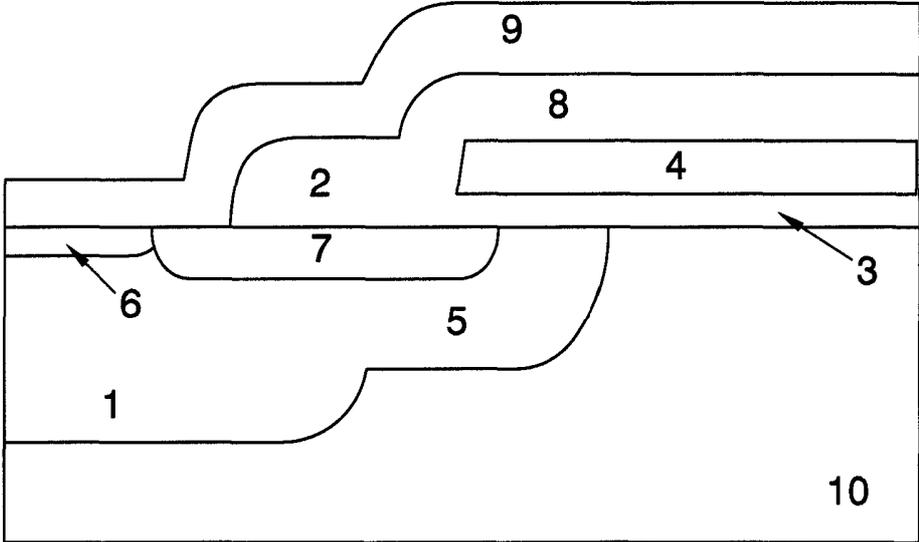


FIG. 5

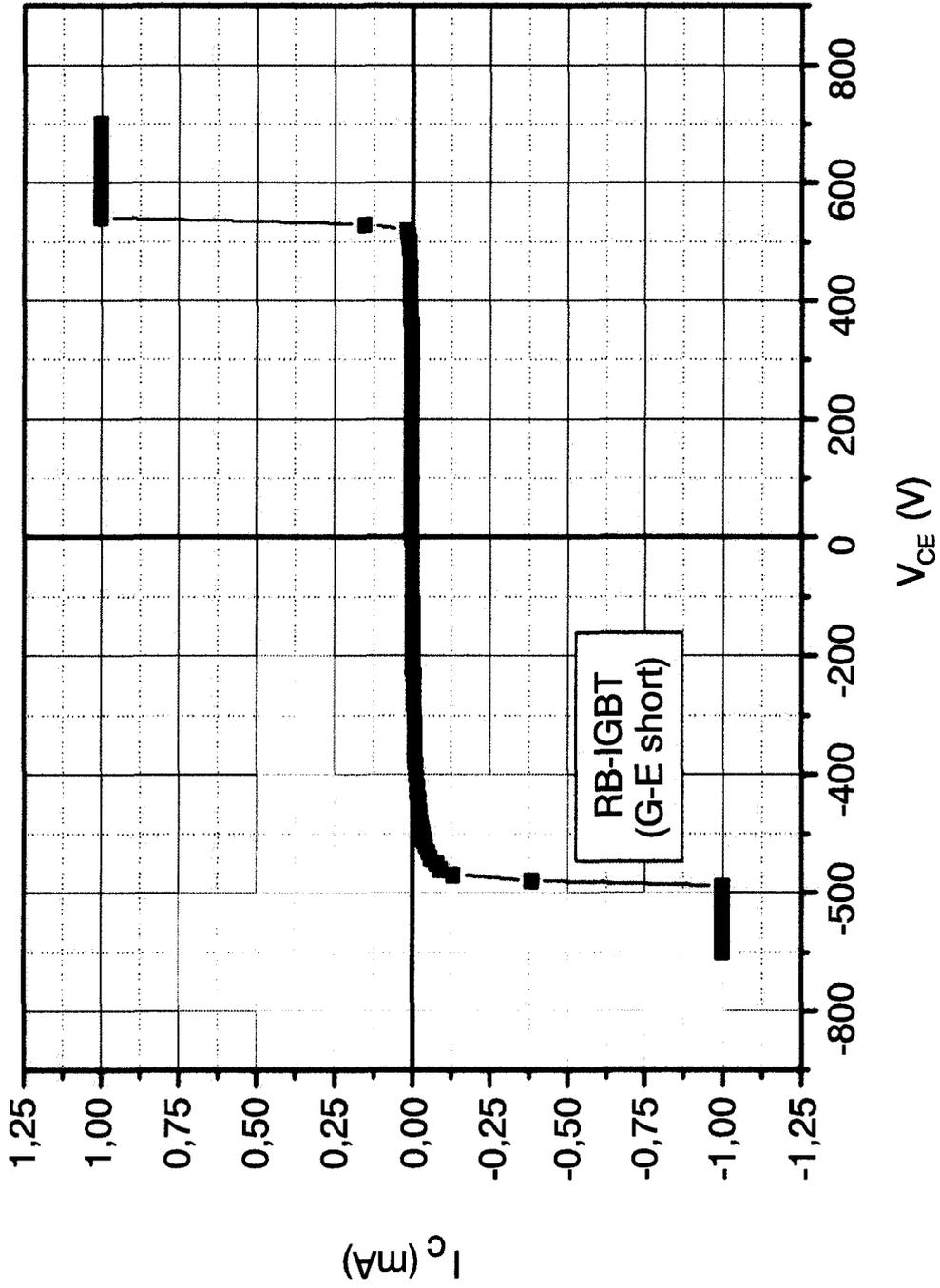


FIG. 6



OFICINA ESPAÑOLA  
DE PATENTES Y MARCAS

ESPAÑA

21 N.º solicitud: 200800799

22 Fecha de presentación de la solicitud: 18.03.2008

32 Fecha de prioridad:

## INFORME SOBRE EL ESTADO DE LA TECNICA

5 Int. Cl. : **H01L29/732** (2006.01)  
**H03K17/08** (2006.01)

### DOCUMENTOS RELEVANTES

Categoría	56 Documentos citados	Reivindicaciones afectadas
A	TOKUDA, N.; KANEDA, M. & MINATO, T.: "An ultra-small isolation area for 600V class Reverse Blocking IGBT with Deep Trench Isolation process (TI-RB-IGBT)". Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs. Kitakyushu, Japón. Junio de 2004. Páginas 129-132.	1,2
A	US 6103578 A (UENISHI, A. et al.) 15.08.2000, resumen; columna 4, línea 54 – columna 5, línea 33; columna 10, líneas 22-27; columna 13, líneas 14-29,60-67; figuras 8,23-26.	1,2
A	US 20050042830 A1 (BLANCHARD, R.) 24.02.2005, resumen; párrafos [0014]-[0016],[0021]-[0028],[0030],[0033]-[0034]; figuras 1,3-4d.	1,2
A	EP 1030372 A2 (MITSUBISHI DENKI KK) 23.08.2000	

#### Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

#### El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe  
01.02.2012

Examinador  
Ó. González Peñalba

Página  
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H01L, H03K

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, INSPEC

Fecha de Realización de la Opinión Escrita: 01.02.2012

**Declaración**

<b>Novedad (Art. 6.1 LP 11/1986)</b>	Reivindicaciones 1, 2	<b>SI</b>
	Reivindicaciones	<b>NO</b>
<b>Actividad inventiva (Art. 8.1 LP11/1986)</b>	Reivindicaciones 1, 2	<b>SI</b>
	Reivindicaciones	<b>NO</b>

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

**Base de la Opinión.-**

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.

**Consideraciones:**

La presente Solicitud se refiere, en su primera reivindicación, a un método de fabricación de un dispositivo transistor bipolar de puerta aislada con bloqueo inverso (RB-IGBT) y con un diseño basado en el aislamiento por trinchera para su protección, que consta de una sucesión específica de diversos pasos como definición, mediante grabado, de las trincheras, sucesivas y reiteradas etapas de impurificación, rellenado, crecimiento por difusión térmica, implantación, definición y grabado por fotolitografía, oxidación térmica, activación de las impurezas implantadas, recocido y decapado, apertura de contactos eléctricos, metalización, pasivación y depósito por la técnica de "lift-off" para formar las diversas zonas activas y de conexión del dispositivo.

Por su parte, la reivindicación 2, dependiente de esta primera, añade etapas adicionales de fotolitografía con máscara para optimizar la formación de las zonas activas y contactos eléctricos.

**1. Documentos considerados.-**

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

Documento	Número Publicación o Identificación	Fecha Publicación
D01	TOKUDA, N.; KANEDA, M. & MINATO, T.: "An ultra-small isolation area for 600V class Reverse Blocking IGBT with Deep Trench Isolation process (TI-RB-IGBT)". Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs. Kitakyushu, Japón. Junio de 2004. Páginas 129-132.	Junio de 2004

**2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración**

Se considera que la invención definida en las dos reivindicaciones de la presente Solicitud tiene novedad y actividad inventiva por no estar comprendida en el estado de la técnica ni poder ser deducida de este por un experto en la materia. Se han encontrado en el estado de la técnica documentos, como el D01, que para alcanzar un mismo objetivo de proteger ("aislar") en inversa la periferia de un RB-IGBT, se sirve, previamente a la formación del IGBT en una oblea de silicio, de algunas de las etapas referidas en la presente invención. No se ha encontrado, sin embargo, una sucesión de todas las etapas especificadas en la reivindicación primera como método para fabricar semejante dispositivo, por lo que cabe concluir que dicha reivindicación primera, así como la segunda, dependiente de esta, tiene novedad y actividad inventiva de acuerdo con los Artículos 6 y 8 de la vigente Ley de Patentes.